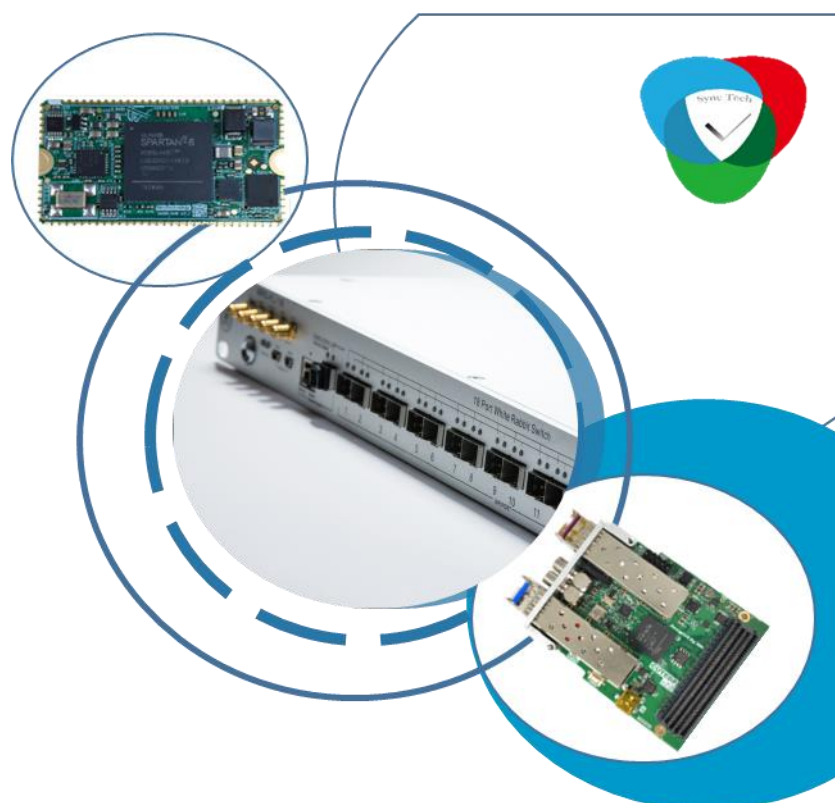




CUTE-WR-DP 使用手册

CUTE-WR-DP User Manual

Version 20200731



信科太（北京）科技有限公司
Sync (Beijing) Technology

术语表

Glossary

DHCP (Dynamic Host Configuration Protocol)	动态主机配置协议，用于获取网络配置
FMC (FPGA Mezzanine Card)	FPGA 夹层卡，一种 ANSI 工业标准卡
HDL (Hardware description language)	硬件描述语言
LM32(LatticeMico32)	为 FPGA 优化的 32bit 处理器软核
NAND (NAND Flash Memory)	一种可擦除的非遗失的电脑存储器
PCIe (Peripheral Component Interconnect Express)	一种高速串行计算机扩展总线标准
PTP(Precise Time Protocol)	精密时间协议，一种 IEEE 标准协议，又称 IEEE1588
SMA (Subminiature version A)	一种用于射频电路的同轴连接器
SFP (Small form-factor pluggable transceiver)	一种可以热插拔的光纤收发器
UART (Universal Asynchronous Receiver/Transmitter)	通用异步串行收发器
WMI (Web Management Interface)	网页管理接口
WR (White Rabbit)	一种高精度时钟同步技术
WRS (White Rabbit Switch)	支持 WR 同步功能的交换机
WRS-LJ (White Rabbit Switch low jitter)	低噪声版本 WRS

版本：

V20200505: Initial version

V20200507: 增加 EVB 使用说明

V20200604: 修正一些描述错误，添加了 GMII 信号定义

V20200731: 增加了利用 GUI 更新固件

目录

术语表	Glossary.....	2
介绍	Introduction	5
结构框图	System structure	7
产品接口	Interface overview.....	8
扩展底板	Evaluation Board.....	11
授时信号	Timing signals.....	12
连接管理	Management.....	14
快速连接	Quick startup.....	14
配置管理	Management.....	14
控制台命令	Console commands	15
升级固件	Firmware updates	17
升级准备工作.....	错误! 未定义书签。	
升级步骤.....	错误! 未定义书签。	
数据传输	data transmission	19
GMII 接口传输	GMII mode.....	19
IP 数据传输	IP mode.....	20
UDP 传输	UDP mode.....	21
TCP 传输	TCP mode.....	21
传输性能	bandwidth performance.....	22
延迟标定	Calibration.....	23
MC 接口	FMC interface	24
FMC 连接器	FMC Connector.....	24
信号定义	signals	24
参考 A: VITA57.1 FMC 机械设计指导.....		28
FMC 尺寸	Mezzanine Dimension	28
FMC 面板	Mezzanine panel.....	28
FMC 模块散热	Heat dissipation	29
FMC 载板设计要求	FMC carrier board	31
参考 B: VITA57.1 FMC 信号设计指导		32

附录	Appendix	40
详细参数	Specification.....	40
包装	Package	41
环保	Environment Friendly.....	41
保修	Warranty	42
安全警告	Safety	42
FAQ 和错误诊断	FAQs & Troubleshooting.....	43
联系我们	Contact US.....	43

介绍

Introduction

CUTE-WR-DP (Compact Universal Timing Endpoint based on WR with Dual ports) 是一款实现 White Rabbit 双端口节点功能的通用 FMC [1] 标准子卡。CUTE-WR-DP 可以给 FMC 载板提供同步准确度好于 1 纳秒，同步精度小于 30 皮秒的时钟信号。

CUTE-WR-DP 还集成了硬件实现的 TCP/UDP/IP 协议处理引擎，可以作为通用子卡为 FMC 板卡提供数据通路，将 FMC 板卡的数据封装成 UDP/TCP 包后发送给远端，UDP 传输速率大于 800Mbps，TCP 传输速率大于 200Mbps。

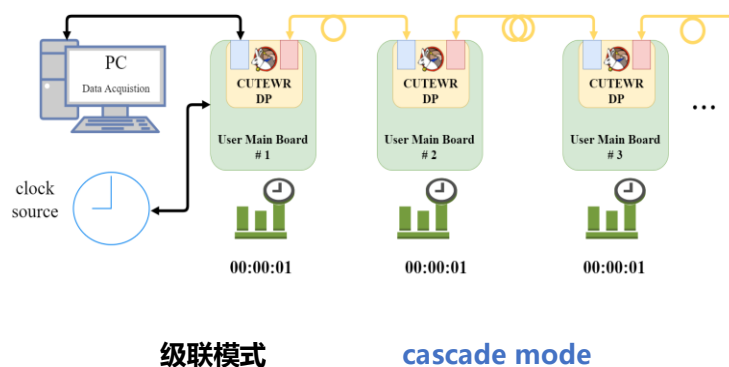
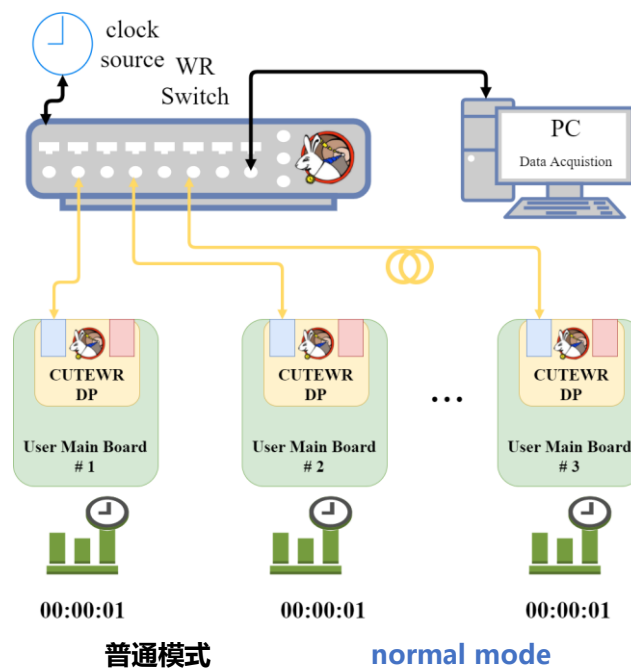
CUTE-WR-DP (Compact Universal Timing Endpoint based on White Rabbit with Dual ports) is a mezzanine card in FMC form, with full support of WR technology. CUTE-WR-DP can provide a timing signals to its carrier, with accuracy better than 1ns and precision better than 30ps. CUTE-WR-DP has the option to intergrade a firmware based TCP/UDP/IP protocol offload engine for data transmission, thus it can be used as general purpose data transmission card. The data bandwidth is higher than 800Mbps for UDP and higher than 200Mbps for TCP.

CUTE-WR-DP 有三种不同的工作模式：

CUTE-WR-DP has three different working modes:

CUTE-WR-DP-NM 普通模式 Normal Mode	CUTE-WR-DP 只使用其一个端口(默认 SFP0)，作为普通 WR 节点与 WR 交换机或者其他 WR 节点连接 In Normal mode, CUTE-WR-DP acts as a normal WR node with one SFP port (SFP0). It can be connected to WRS or other WR master node.
CUTE-WR-DP-CM 级联模式 Cascade Mode	CUTE-WR-DP 的两个端口分别工作在主模式和从模式，多个 CUTE-WR-DP 可以互相串连，形成链式拓扑 In CM mode, two ports act as one down-link (SFP1) and one up-link (SFP0) to support cascade topology.
CUTE-WR-DP-PM	并联模式下，CUTE-WR-DP 的两个端口均工作在从

并联模式 Parallel Mode (not available yet)	模式，可以分别和两个 WR 主设备连接。这两个链路可以构成冗余备份，在一个链路发生故障时，节点可以自动切换到另一个链路，保持定时信息的稳定连续。 In PM mode, both ports act as down-link that can connect to different WR up-link to form redundant WR connections to guarantee the reliability.
--	--



结构框图

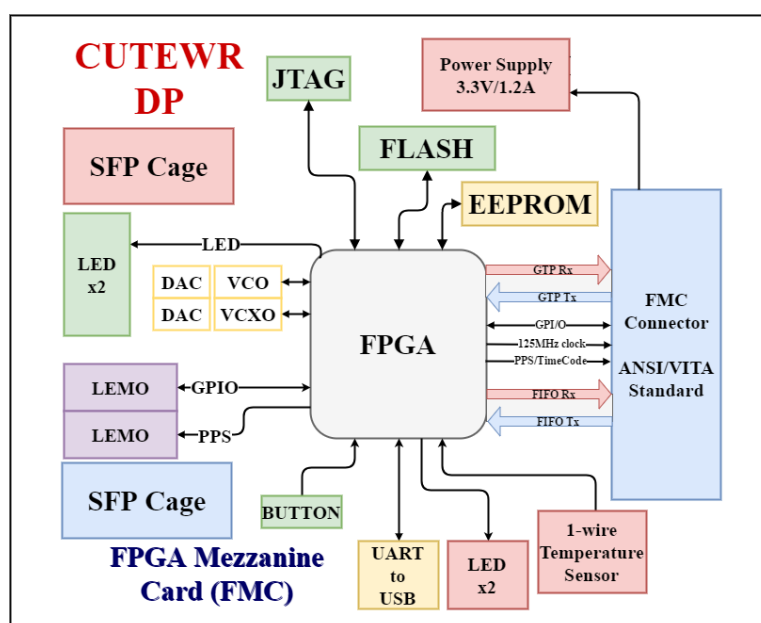
System structure

CUTE-WR-DP 包括电源模块、Spartan 6 系列 FPGA、DAC、VCO 和 PLL 芯片、2 路支持 1Gbps 光纤收发器的 SFP 接口等。

CUTE-WR-DP 支持 WR 协议，兼容 PTPv2 协议，可作为 1588 普通时钟节点 (Ordinary Clock)；通过双端口级联，可作为 1588 边界时钟节点(Boundary Clock)。CUTE-WR-DP 提供通用接口实现调试、数据通信以及本地配置等功能。

CUTE-WR-DP contains the power converter, Spartan-6 FPGA, DAC, VCO, PLL circuit and 2 SFP interfaces supporting 1Gbps fiber transceiver.

CUTE-WR-DP supports WR protocol and is compatible with PTPv2 to act as IEEE 1588 ordinary clock node. Besides, with the additional secondary port, it can also act as boundary clock for IEEE 1588. Following the WR technology specification, the Bi-Directional SFP modules are used with a single strand of single-mode fiber to connect with other WR devices. (Check [here](#) for compatible SFP modules). On the same fiber media, the clock/timing transmission can be accomplished together with data transmission. CUTE-WR-DP provide a firmware framework for debugging, diagnostic, data transmission and configurations.

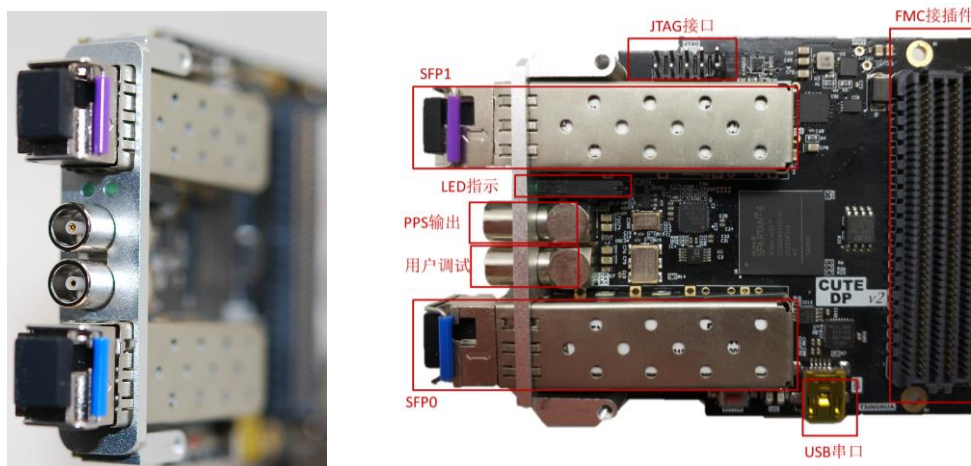


CUTE-WR-DP 结构框图

System structure of CUTE-WR-DP

产品接口

Interface overview



CUTE-WR-DP 实物及硬件接口

Picture of CUTE-WR-DP and its interface connectors

CUTE-WR-DP 板硬件接口如图所示：

- 供电接口: CUTE-WR-DP 可以通过 FMC 接插件对应的电源引脚供电，供电电压 3.3V，供电电流不少于 3A。
- USB-Mini 接口: 使用 CP2102 将板内标准串口转换成虚拟 USB 串口，遵循 UART 协议，115200 波特率，8 位，无校验。用于本地配置参数和监控同步状态。
- SFP 接口: 前面板提供两个 SFP 接口，分别为 SFP0 和 SFP1。默认情况下，CUTE-WR-DP 的端口 0（WR SFP0）实现 WR Slave 功能，端口 1（WR SFP1）实现 WR Master 功能。CUTE-WR-DP 不附带任何 SFP 模块，需要单独购买。
- LEMO/SMA 信号输出: CUTE-WR-DP 前面板提供两路调试 LEMO/SMA 输出，其中一路指定用于输出 PPS 特征信号，另一路用于输出同步时钟，频率为 10MHz（可根据需要修改配置）。
- FMC 接口: CUTE-WR-DP 使用低密度(low pin count, LPC) FMC 接口，提供 3 对 LVDS 时钟输出、31 对 LVDS 通用 IO、3 对 LVDS 信号输入、1 对 GTP 专用高速数据传输接口、JTAG 编程接口。FMC 上 JTAG 接口通过 FMC_ADJ 使能，与 JTAG 接口不能同时使用。具体信号定义和通讯接口协议请参见 FMC 接口及数据传输章节。
- LED 指示灯: 1 个电源指示灯和 2 个板上指示灯、2 个前面板指示灯。默认

情况下 2 个板上指示灯分别用作 CUTE-WR-DP 的两个端口的网络通信指示灯。

The CUTE-WR-DP contains the following connectors:

- Power port: CUTE-WR-DP is powered via the FMC connector; the power rail is 3.3V and not less than 3A.
- USB-Mini port: the standard UART port is converted by CP2102 to a virtual USB-Serial port, with parameter of 115200, N,8,1. This port is used for parameter configuration and status monitoring.
- SFP cages: there are two SPF cages on front panel, SFP0 and SPF1. By default, SFP0 is configured as WR slave port while SFP1 is configured as WR master. The SFP modules are not included in CUTE-WR-DP and need to be purchased separately.
- LEMO/SMA connector: there are two LEMO/SMA connectors on front panel, one is the PPS (Pulse Per Second) signal, the other is a configurable clock output with default value of 10MHz.
- FMC connector: CUTE-WR-DP is a FMC form mezzanine with a LPC (low pin count) FMC connector, contains 3 pairs of LVDS clock output, 31 pairs of LVDS general purpose IO, 3 pairs of LVDS signal input, 1 pair of GPT dedicated high-speed transceiver signal, JTAG programming socket. The JTAG signals on the FMC connector is enabled by FMC_ADJ and CAN NOT be used simultaneously with the on-board JTAG jacket. The signal definition and communication protocols are explained in following sections.
- LED: There are one power LED, two on board LEDs and two front panel LEDs on CUTE-WR-DP. The on-board LEDs are network activity indication for the two SFP ports default.

SFP 光模块 SFP modules

根据需求，可以使用不同的 SFP 模块。确定 SFP 模块后，需要进行标定，以确定 SFP 模块的延迟参数。推荐使用下表的 SFP 模块。

Different SFP modules are supported ([Check here for compatible SFP modules](#)). In case the SFP models are not listed, additional calibration must be taken. The SFP modules listed are recommended for normal applications.

	
1310nm-TX/1490nm-RX 20km # 15535 GE-LC-1310 (蓝色, 用于从端, WRN 端) Blue, for slave side	1490nm-TX/1310nm-RX 20km # 39140 GE-LC-1490 (紫色, 用于主端, 交换机端) Purple, for master side

SFP 铜口模块 SFP copper module

可以在 SFP 中插入铜口模块，实现千兆网线的接入。但此时该链路不能支持 WR 协议，无法实现高精度时间频率的传递。

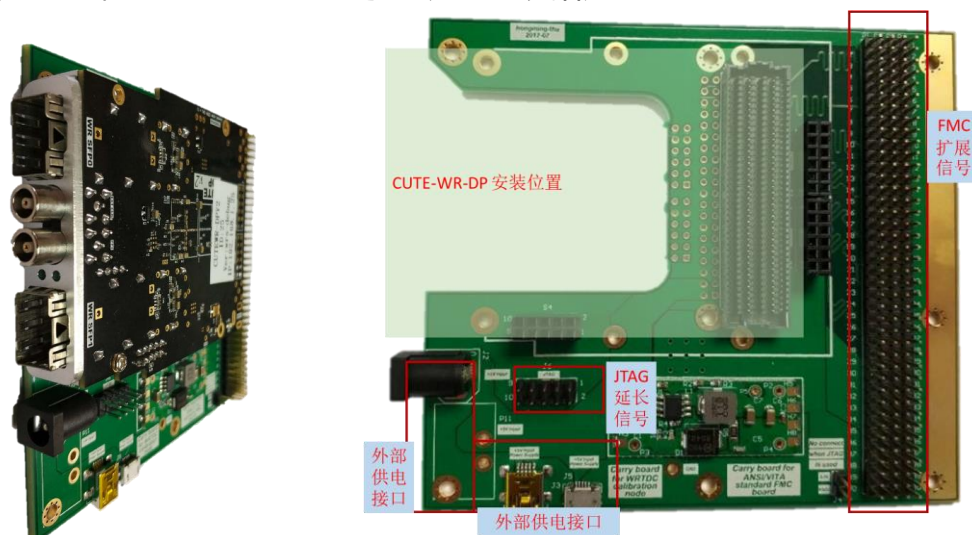
SFP copper modules can be inserted into the SFP cage to support 1000Mbase-Tx. But the WR protocol **CAN NOT** operate on copper link that the time and frequency distribution is not possible.



扩展底板

Evaluation Board

CUTE-WR-DP 是实现 White Rabbit 节点功能的通用 FMC 标准子卡，必须通过其 FMC 连接器才能对板卡供电使其正常工作。在用户还没有开发对应的 FMC 载板之前，CUTE-WR-EVB 板可以用于提供 CUTE-WR 子卡信号扇出和外部供电接口，简化 CUTE-WR 子卡测试环境搭建。



CuteWR-EVB 板硬件接口如上图：

- **供电接口**

Cute-WR-EVB 板左下提供了 4 种外部供电接口：JACK 电源头，凤凰端子接头，Micro USB 和 MINI USB 接头。这四种接头供电信号为并联，采用任何一个均可以实现对 EVB 板供电。供电电压 5V，电流不少于 1.5A
- **FMC 信号扩展端口**

该端口使用 4 x 40 pin 的标准插针，间距 100mil，分别对应 LPC-FMC 接插件的信号。P1-P4 分别对应 LPC-FMC 接插件的 H, G, D, C 列信号，1-40 分别对应 LPC-FMC 接插件每列的 1-40 个信号。
- **JTAG 延长信号**

CUTEWR 子卡插入 EVB 板后，其板上的 JTAG 编程头连接到 EVB 板的插座，并进一步延长到外侧不受 CUTEWR 遮挡的 JTAG 插座上，方便连接编程器。

授时信号

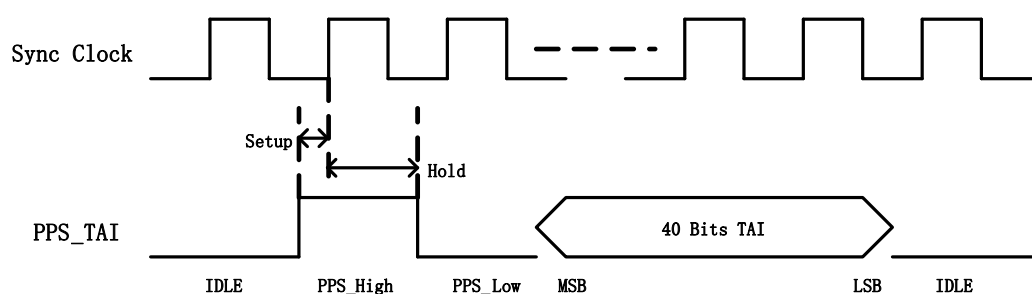
Timing signals

UTC/TAI 时间可以通过 USB 接口获得。使用串口调试工具访问 CUTE-WR-DP，输入命令 “time” 之后可以得到当前 TAI 时间。

UTC/TAI time information can be got through USB interface. Using a Serial Debug Tool to contact with CUTE-WR-DP, you can get the TAI time by typing command “time” .

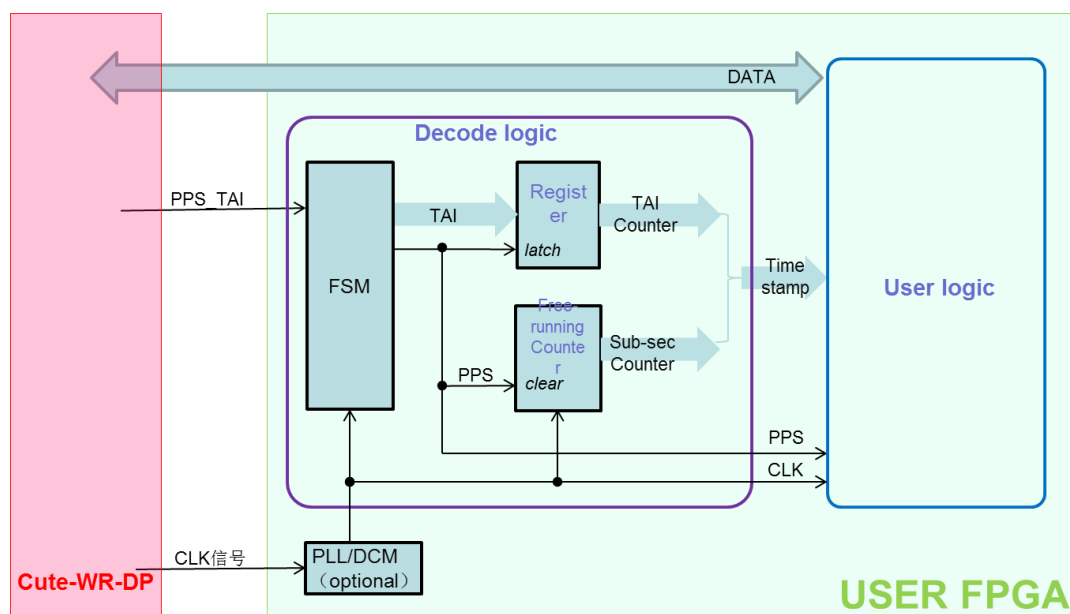
CUTE-WR-DP 提供 125MHz 或 10MHz 同步时钟、PPS 秒脉冲信号和 TAI 时间，为了节省引脚资源，PPS 信号和 TAI 时间进行合并串行编码后发送给板卡，其编码方式为：

CUTE-WR-DP provides 125MHz synchronized frequency, PPS signal and TAI information. The PPS and TAI are serially encoded into one “PPS_TAI” signal to reduce the signals, as shown below.



PPS_H (1 cycle) + PPS_L (1 cycle) + 40 bit TAI (40 cycle)

这两个信号根据用户端的需要，通过前面板 LEMO/SMA 接口和 FMC 连接器输出。应用时，用户端应有逻辑对上述编码信号进行解码，并还原出 PPS 信号和 TAI 时间编码，其基本逻辑结构如下图所示（左侧为 CUTE-WR-DP，右侧浅绿色为用户端的逻辑处理部件）：



用户端可以直接使用 CUTE-WR-DP 提供的 Sync Clock 作为系统时钟或者用 PLL/DCM 进行进一步处理。

PPS_TAI 信号和 Sync-clock 源端对齐，其编码的起始脉冲 PPS_H 周期对应的时钟上升沿即代表了 TAI 整秒的对齐时刻，可以以此恢复出标准 PPS 信号；后续的 40bit 串行编码可以恢复出当前时刻的 TAI 计数。用户端可以使用 sync clock 维护一个亚秒时间计数器，当恢复出 PPS 信号的时刻将该亚秒计数器清零。这样在用户端即可获得 同步时钟，PPS 信号，(TAI 计数器+亚秒计数器) 合并的完整时间戳。

上述用户端解码逻辑可以参照示例代码 `fmc_timer.v`

连接管理

Management

快速连接

Quick startup

默认情况下，CUTE-WR-DP 的端口 0（WR SFP0）配置为 WR Slave 功能，端口 1（WR SFP1）配置为 WR Master 功能。

在对应的端口，分别插入对应的光模块；使用 G652D 单模光纤将该端口和匹配功能的其它 WR 设备连接，上电等待约 30s 后 CUTE-WR-DP 即与相连设备实现时钟同步。可以通过秒脉冲（PPS）输出判断设备间时间同步准确度。

配置管理

Management

用户上位机可以通过 USB 接口（UART 协议，115200 波特率，8 位，无校验）对 CUTE-WR-DP 进行配置。Linux 系统下可以使用软件 Minicom 或者 Putty 等串口调试工具，Windows 系统下可以使用 MobaXterm 或 Putty 等。

Linux 系统 Under Linux

在 linux 系统下，端口对应计算机上的不同设备，PC 可以使用类似 minicom、putty 等软件与 WRS 连接，波特率为 115200。

使用 minicom 连接的命令示例：

```
sudo minicom -D /dev/ttyUSB0 -b 115200
```

Under Linux environment, those USB ports are mounted as different devices. You can use terminal software such as minicom or putty to visit those devices. The default baud rate is 115200. An example command line like `sudo minicom -D /dev/ttyUSB0 -b 115200`

Windows 系统 Under windows

通过 Windows（XP、Vista、WIN7、WIN8）连接 CUTE-WR-DP 的步骤如下：

下载并安装 Putty 等工具

插上 USB，找到 Mini-USB 在 Windows 中对应的串口号，比如 COM9

打开 Putty，设置连接参数

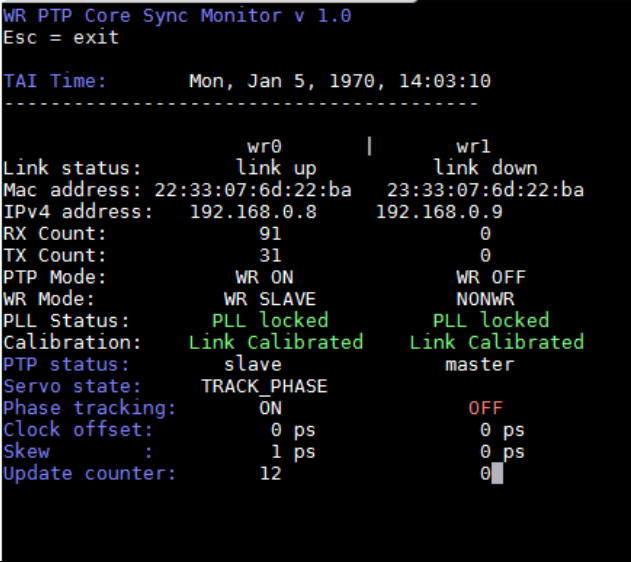
To access CUTE-WR-DP through USB under Windows (XP, Vista, Win7, Win8,)

- download and install Putty
- connect the USB cable to CUTE-WR-DP, check the correspond serial port number in window's "device manager" => "Ports (COM & LPT) "
- open Putty, set the configuration

控制台命令

Console commands

配置过程采用交互式命令行，类似 Linux 中的终端或 Windows 中的 CMD。目前节点支持的命令如下表：

wrc# ver	查看当前版本
wrc# time	查看当前时间
wrc# temp	查看节点温度 温度单位：摄氏度
wrc# gui	查看同步状态 正常同步状态显示如下图所示。敲击 Esc 键可以退出状态显示模式。 
wrc# sfp show	查看当前各端口标定参数
wrc# sfp erase	清除所有标定参数
wrc# sfp match	查看当前 SFP 的标识符/匹配各端口的标定参数
wrc# sfp add sfpID dTx dRx	修改端口的标定参数，其中 sfpID 为 SFP 的标识符，dTx 为发送固定延时，dRx 为接收固定延时，alpha 为

alpha port	光纤不对称性系数，port 为端口号。为了兼容之前的配置，各端口仅能分别保存一组标定参数，因此在配置新参数时，需要将之前的参数清除。
wrc# mode	查看当前运行模式，其中 slave0 表示端口 0 为 WR Slave，端口 1 为 WR Master； slave1 表示端口 0 为 WR Master，端口 1 为 WR slave； master 表示端口 0 和端口 1 都为 WR Master
wrc# mode slave [port]	修改当前运行模式
wrc# ip	查看双端口 IP 地址
wrc# ip set 192.168.0.3 [port]	配置双端口 IP 地址。默认子网掩码 255.255.255.0
wrc# mac	查看节点 MAC 地址 MAC 地址不能修改。CUTE-WR-DP 的 MAC 地址为基地址+64bit 1-wire ID。
wrc# init showw	查看当前启动脚本
wrc# init erase	清除启动脚本
wrc# init add xxxx	启动脚本增加命令
wrc# init boot	重启软核

升级固件 Firmware updates

CUTE-WR-DP 的固件是指板上 FPGA 的编程文件。该固件可以通过网络连接的方式进行远程更新。

使用 Python 批处理 With Python Batch file

升级准备工作

Preparation

保证进行升级操作的计算机能够通过网络连接正常访问需要升级的 CUTE-WR-DP 模块。该连接不需要保证兼容 WR 协议，可以使用铜缆网线和铜口 SFP 来建立连接。

在计算机上下载并安装 python2.7 及以上版本，并预先下载需要升级的固件镜像文件，和远程更新批处理文件。

- cute-wr-dp-xxx.bin (the latest Firmware bitstream file)
- program_node.py
- remote_update.pyc

升级步骤

Step by step

请按如下步骤完成 CUTE-WR-DP 的在线固件升级

1. 以管理员身份打开 windows 的“命令行提示符”，即 CMD 工具
2. 检查 python 版本号是否为 2.7.15，运行命令 `python --version`

```
C:\Users\wrthu>python --version
Python 2.7.15
```

3. 检查 PC 是否能与 CUTE-WR-DP 连接，假定 CUTE-WR-DP 的 IP 地址为 192.168.0.205，PC 的地址为 192.168.0.1。

运行命令 `ping 192.168.0.205`

```
(python27) C:\Users\wrthu\Downloads>ping 192.168.0.205

正在 Ping 192.168.0.205 具有 32 字节的数据:
来自 192.168.0.205 的回复: 字节=32 时间=1ms TTL=63
来自 192.168.0.205 的回复: 字节=32 时间=1ms TTL=63

192.168.0.205 的 Ping 统计信息:
    数据包: 已发送 = 2, 已接收 = 2, 丢失 = 0 (0% 丢失),
    往返行程的估计时间(以毫秒为单位):
        最短 = 1ms, 最长 = 1ms, 平均 = 1ms
Control-C
C
```

4. 用记事本等工具打开 program_wr_cute-wr-dp.py，将文件中的 UDP_IP 端修改为待更新的 CUTE-WR-DP 的当前 IP 地址

```
#!/usr/bin/python
# -*- coding: utf-8 -*-
from remote_update import *
def main():
    MY_IP = "192.168.0.1"
    UDP_IP= "192.168.0.205"
    filename = "./mini_wr_udp_elf.bin"
    program_wr_mini(MY_IP,UDP_IP,filename)

if __name__ == '__main__': main()
```

5. 在 CMD 终端，运行命令 `python program_wr_cute_wr_dp.py`，远程更新 CUTE-WR-DP。等待若干分钟，CUTE-WR-DP 更新完成

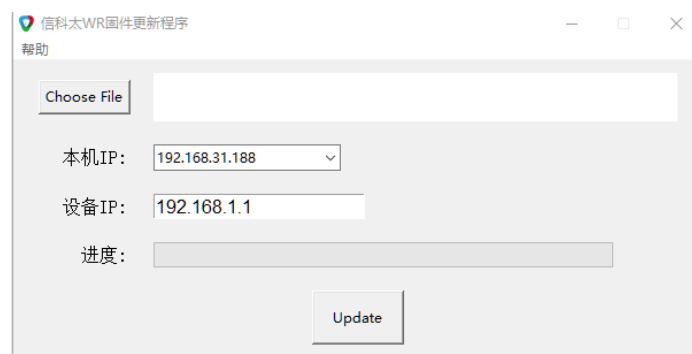
```
python version is 2.7.15
Flash Erase start
Flash Erase done!
Complete:
..0
..5
..10
..15
..20
..25
..30
..35
..40
..45
..50
..55
..60
..65
..70
..75
..80
..85
..90
..95
..100
Program Success!
```

6. 将 CUTE-WR-DP 断电重启，等待 CUTE-WR-DP 加载完成后通过串口进行连接，运行命令 `ver`，查看输出的版本信息，确认更新成功。

使用 GUI 工具

With GUI

该 GUI 工具仅在 windows 操作系统环境下使用，需要保证计算机和待更新节点已经处于同一 IP 网段。



7.

数据传输

data transmission

WR 技术兼容 1000Base-BX 标准，提供精确时钟的同时还能完成基于以太网的数据交换。

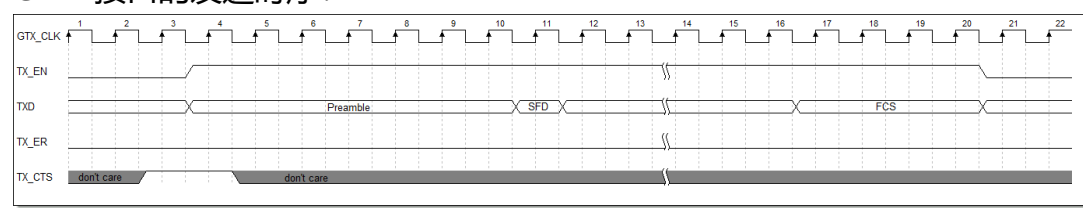
WR is compatible with 1000Base-BX, it is a standard ethernet link besides providing the precise clock signal.

GMII 接口传输

GMII mode

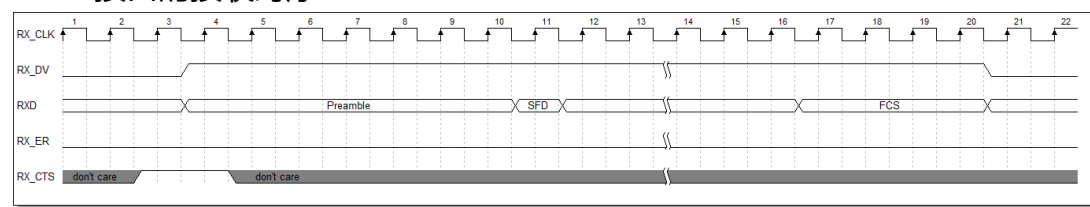
CUTE-WR-DP 提供了满足 IEEE 802.3 协议的 GMII 接口和数据传输功能 (该功能由 CUTE-WR-DP 固件提供支持，并非 WR 标准功能)。

GMII 接口的发送时序:



传输发送开始时需要将 TX_CTS 置为 1，才能正常开始传输。帧传输过程中，TX_CTS 即使置为 0，也会正常传输直到该帧传输完。所有的信号都是与“GTX_CLK”源同步的。

GMII 接口的接收时序:

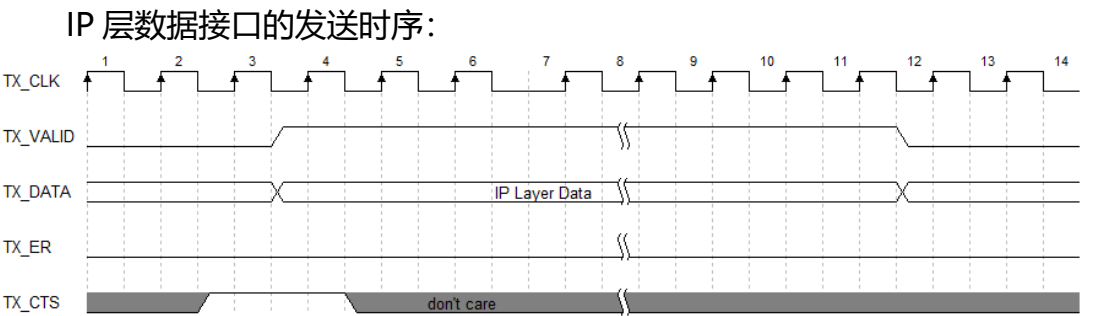
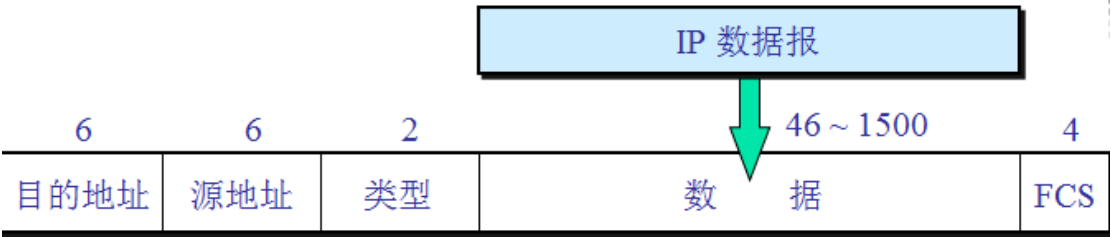


传输接收时，需要检查 RX_CTS 是否为 1，只有 RX_CTS 为 1 时，才能正常开始传输。传输过程中，RX_CTS 可能会为 0，但不需要检查 RX_CTS，可以正常传输直到该帧传输完。所有信号都应该与输入时钟“RX_CLK”是源同步的。

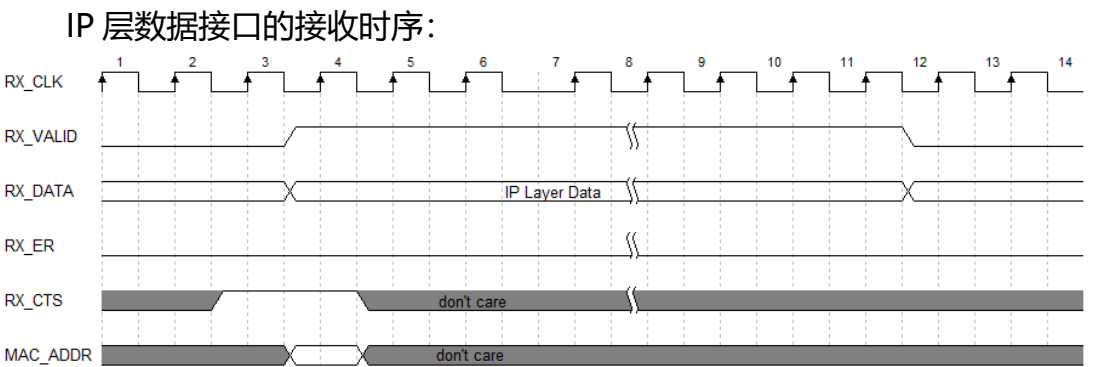
IP 数据传输

IP mode

CUTE-WR-DP 提供了满足 IEEE 802.3 协议的 IP 层数据传输功能（该功能由 CUTE-WR-DP 固件提供支持，并非 WR 标准功能）。



传输发送开始时，需要将 TX_CTS 置为 1，皆可才能正常开始传输。帧传输过程中，TX_CTS 即使置为 0，也会正常传输直到该帧传输完。只会发送满足目的 MAC 地址为本机，且类型为 IP 数据包 (0x0800) 的数据包。所有的信号都是与 “TX_CLK” 是源同步的。



传输接收时，需要需要检查 RX_CTS 是否为 1，只有 RX_CTS 为 1 时，才能正常开始传输。传输过程中，RX_CTS 可能会为 0，但不需要检查 RX_CTS，可以正常传输直到该帧传输完。接收数据时，会以 RX_VALID 信号起始时刻输入的 MAC 地址作为目的 MAC 地址。内部逻辑会自行添加 MAC 所需的其余部分，包括前导码和帧起始符，源 MAC 地址（也就是本机的 MAC 地址）、类型 (0x0800) 和 FCS。所有信号都应该与输入时钟 “RX_CLK” 是源同步的。

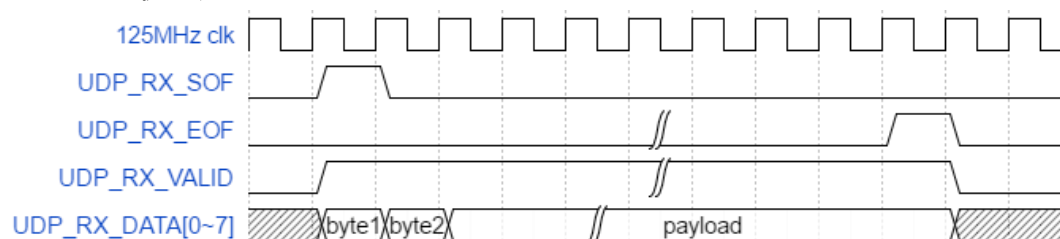
UDP 传输 UDP mode

CUTE-WR-DP 提供了 UDP 的数据传输功能（该功能由 CUTE-WR-DP 固件提供支持，并非 WR 标准功能）。

CUTE-WR-DP 节点的 UDP 功能需要先由 PC 的任意 src 端口 A 发往节点任意大于 255 的 dst 端口 B。节点之后由 src 端口 B 将 UDP 数据发往 PC 的 dst 端口 A。

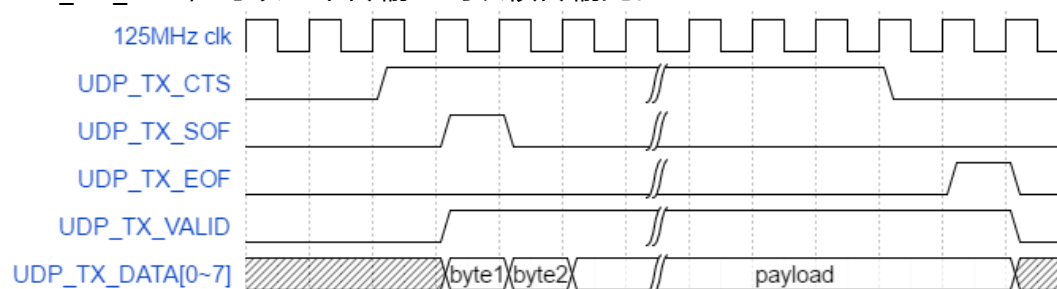
CUTE-WR-DP has integrated a UPD/TCP process engineer. To active a UDP transmission, the source port A should send packet to destination port B.

UDP 的接收时序：



UDP 的发送时序：

UDP 帧开始传输时需要检查 UDP_TX_CTS 是否为 1，只有 UDP_TX_CTS 才能正常开始传输。帧传输过程中，UDP_TX_CTS 可能会为 0，但不需要检查 UDP_TX_CTS，可以正常传输直到该帧传输完。



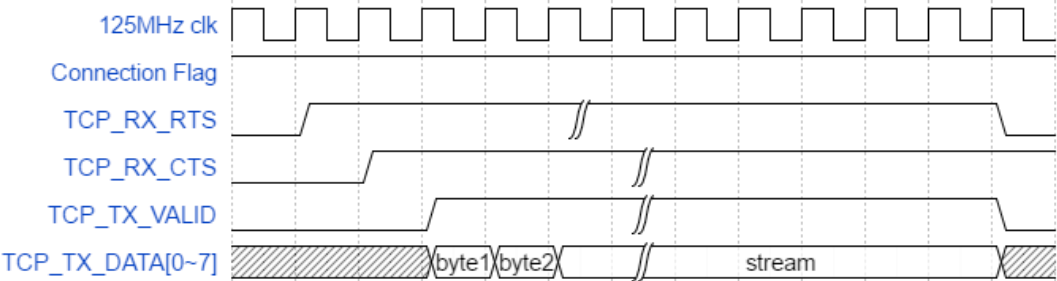
TCP 传输 TCP mode

CUTE-WR-DP 提供了 TCP 的数据传输功能（该功能由 CUTE-WR-DP 固件提供支持，并非 WR 标准功能）。

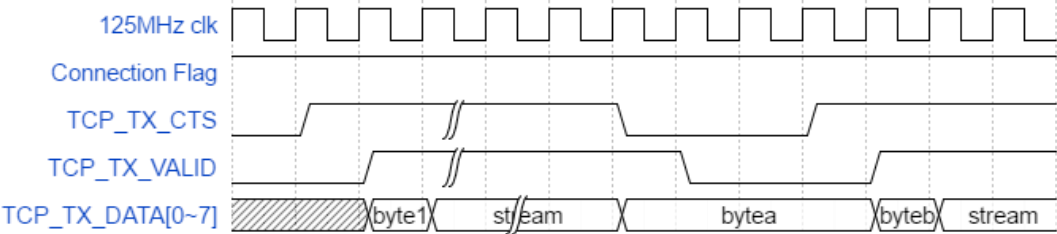
TCP 的接收时序：

CUTE-WR-DP 节点作为 TCP 服务端，在端口 8000 监听，等待 TCP 客户端请求后建立连接。TCP 连接建立后才能通过 TCP 进行数据传输。

TCP_connect_flag 为 '1' 表示 TCP 连接已建立。TCP_RX_RTS 表示接收到 TCP 数据，等待传输。TCP_RX_CTS 为流量控制信号，用户模块可以接收信号时将该信号置 '1'，开始 TCP 数据传输。



TCP 的发送时序:



传输性能 bandwidth performance

1 台 CUTE-WR-DP 通过 1 台 WRS 与个人 PC 连接进行数据传输，PC 采用千兆网卡，通过软件测试传输带宽。该测试结果受到测试环境，包括 PC 端硬件环境，网络环境和系统软件配置的影响，仅供参考。

- (1) 使用 UDP 传输时，有效带宽能达 926Mbps。
- (2) 使用 TCP 传输时，有效带宽能达 258Mbps。

延迟标定

Calibration

出厂前 CUTE-WR-DP 的两个端口都需要作为 WR Slave 运行一次，以获取内部固定延迟参数。详细标定流程请参见《WR 延迟设置与延迟标定》。

FMC 接口

FMC interface

FMC 连接器

FMC Connector

CUTE-WR-DP 使用 FMC 接插件型号为 SAMTEC 的 ASP-134606-01，male，LPC，8.5mm 高度。与其配套的接口型号为 SAMTEC 的 ASP-134603-01，Female，LPC。

CUTE-WR-DP applies the FMC components from SAMTEC, type ASP-134606-01, male, LPC with 8.5mm stacking height. The mating components on the carrier board is SAMTEC, Type ASP-134603-01, Female, LPC

信号定义

signals

FMC 连接器的信号定义遵循 ANSI/VITA57.1-2019 标准定义（不兼容的地方会单独指出）。

The signals on the FMC connector follows the ANSI/VITA57.1-2019 standard. (incompatibilities notified otherwise)

固定信号

signals defined by VITA57.1

*

FMC Pins	NET	Default	Note
H1	VREF_A_M2C	参考电压 Reference Voltage	差分信号参考电压。CUTE-WR-DP 连接到 3.3V Reference voltage for differential signals, connected to 3.3V on CUTE-WR-DP mezzanine.
H2	PRSNT_M2C	模块存在信号 Mezzanine Present	母板上拉，CUTE-WR-DP 将该信号直接接地。模块未连接，母板检测到该信号为高电平，模块插入后，母板检测到该信号为低电平。 This signal is Pull-up on carrier board, and connected to GND on CUTE-WR-DP. The carrier board will detect high level if the CUTE-WR-DP is not mounted, and low level is the CUTE-WR-DP is mounted.
D1	PG_C2M	母板电压正常 Carrier power	母板电压正常时，将该信号置为高电压 Carrier board pulls this signal to high level after the power supply is steady.

		good	
D32	P3V3_AUX		这几个信号直接连接到 FMC 板载 EEPROM，参见附录 B “I2C 设计规范”一节 These signals connected to the EEPROM on CUTE-WR-DP FMC mezzanine, please refer to VITA57.1 standards.
D35	GA1		
C34	GA0		
C30	FMC_I2C_SCL		
C31	FMC_I2C_SDA		
D29	FMC_FPGA_TCK	未用 Not used	FMC 子卡上提供了开发调试的 JTAG 座，且 CUTE-WR-DP 支持网络更新。FMC 连接器的 JTAG 不使用，均为空。TDI 和 TDO 在 WRN 上互连。 JTAG socket is provided on CUTE-WR-DP mezzanine for debugging, and the CUTE-WR-DP supports the remote update via ethernet. Thus the JTAG signals defined on the FMC connector is not used on CUTE-WR-DP and the TDI is short connected to TDO to complete the JTAG chain for carrier board.
D30	FMC_FPGA_TDI	未用 Not used	
D31	FMC_FPGA_TDO	未用 Not used	
D33	FMC_FPGA_TMS	未用 Not used	
D34	FMC_JTAG_RESET	未用 Not used	
C35,C37	P12V	未用 Not used	
D36,D38, D40,C39	P3V3_FMC		底板向子卡提供大于 3A 的 3.3V 电源 Carrier board should provide 3.3V with 3A.
H40,G39	FMC_VADJ		由底板提供，可以调整部分数据引脚的 IO 供电电压，以实现不同的电压标准（底板可以不使用，如使用需咨询） Provided by the carrier board to adjust the reference voltage of the FPGA bank that some FMC signals belongs, to support different IO voltage standards (carrier board can leave it open, please consult us if you need to use it)
C1,C4,C5,C8,C9,C12,C13,C16,C17,C20,C21,C24,C25,C28,C29,C32,C33,C36,C38,C40D2,D3,D6,D7,D10,D13,D16,D19,D22,D25,D28,D37,D39 H2,H3,H6,H9,H12,H15,H18,H21,H24,H27,H30,H33,H36,H39; G1,G4,G5,G8,G11,G14,G17,G20,G23,G26,G29,G32,G35,G38,G40			DGND

应用定义信号**Application defined signals**

*M2C 指的是 FMC 子卡 (Mezzanine) 到板卡 (Carrier)，C2M 相反。

*M2C means from mezzanine (CUTE-WR-DP) to carrier, C2M means opposite direction

FMC Pins	NET	Default	Note
----------	-----	---------	------

C2(C3)	DP0_C2M_P(N)	SerDes Rx	在 FMC 和底板之间提供一对 SerDes 连接
C6(C7)	DP0_M2C_P(N)	SerDes Tx	Provides a SerDes connection between CUTE-WR-DP FMC mezzanine and FMC carrier board.
G2(G3)	CLK1_M2C_P(N) *	CARRY_FPGA_clock	由底板提供的时钟信号，可以作为底板数据通道的参考时钟。需要连接到具有时钟输入能力的 FPGA 端口 *: 在 2008 版标准中，这对信号定义为 CLK0_C2M(即从载板到子卡), 在 VITA57.1-2019 版标准中，该差分对被改成 CLK1_M2C。因此，此处的用法 不满足 2019 版标准。 A reference clock from carrier board, it can be used as the reference for the C2M signals if needed. *: in VITA57.1-2008 version, this pair was defined as CLK0_C2M (carrier to mezzanine) while in VITA57.1-2019, this pair changes to CLK1_M2C. So the usage here it is not compatible with VITA57.1-2019.
H4(H5)	CLK0_M2C_P(N)	WRN_FPGA_clock	由 FMC 板 FPGA 直接输出的 125Mhz 时钟信号，可以作为子板数据通道的参考时钟。 125Mhz Clock signal provided by the FPGA on the CUTE-WR-DP mezzanine, can be used as the reference clock for M2C signals
D4(D5)	GBTCLK0_M2C_P(N)	WRN_PLL_Clock	CDCM61004 PLL 直接输出的低抖动 WR 时钟，125MHz The 125MHz clock generated directly from the CDCM61004 PLL synthesizer.

FMC PIN	NET	FPGA Pins	Default	GMII mode		IP mode		UDP mode		TCP mode	
				Dir	Name	Dir	Name	Dir	Name	Dir	Name
G6(G7)	LA00_CC_P(N)	B2 IO_L44	PPS coding	M2C	PPS_TAI	M2C	PPS_TAI	M2C	PPS_TAI	M2C	PPS_TAI
D8(D9)	LA01_CC_P(N)	B0 IO_L35_GCLK	10M output	M2C	10MHz	M2C	10MHz	M2C	10MHz	M2C	10MHz
H7(H8)	LA02_P(N)	B2 IO_L43	User defined	M2C	RXD [3]			M2C	RXD [3]	M2C	RXD [3]
G9(G10)	LA03_P(N)	B0 IO_L34_GCLK									
H10(H11)	LA04_P(N)	B2 IO_L41		M2C	RXD [2]			M2C	RXD [2]	M2C	RXD [2]
D11(D12)	LA05_P(N)	B2 IO_L64									
C10(C11)	LA06_P(N)	B2 IO_L63									
H13(H14)	LA07_P(N)	B2 IO_L30_GCLK		M2C	RX_CLK			M2C	RX_SOF	M2C	Connect_flag
G12(G13)	LA08_P(N)	B2 IO_L62									
D14(D15)	LA09_P(N)	B2 IO_L45		M2C	RXD [4]			M2C	RXD [4]	M2C	RXD [4]
C14(C15)	LA10_P(N)	B2 IO_L48		M2C	RXD [7]			M2C	RXD [7]	M2C	RXD [7]
H16(H17)	LA11_P(N)	B2 IO_L46		M2C	RXD [5]			M2C	RXD [5]	M2C	RXD [5]

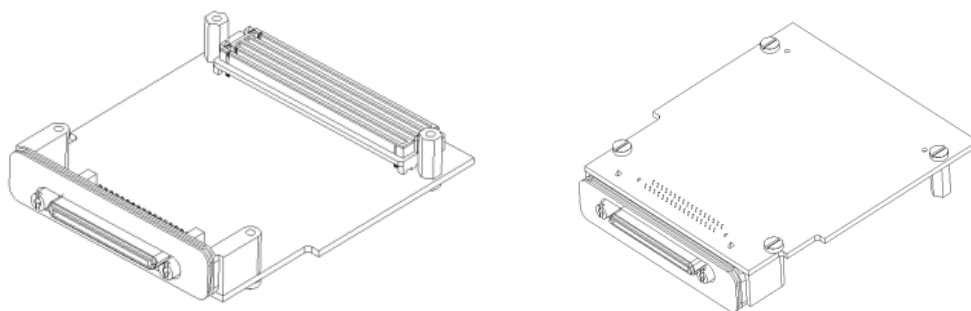
G15(G16)	LA12_P(N)	B2 IO_L47		M2C	RXD [6]			M2C	RXD [6]	M2C	RXD [6]
D17(D18)	LA13_P(N)	B2 IO_L32_GCLK		M2C	RXD [0]			M2C	RXD [0]	M2C	RXD [0]
C18(C19)	LA14_P(N)	B2 IO_L22									
H19(H20)	LA15_P(N)	B2 IO_L23		C2M	TXD [6]			C2M	TXD [6]	C2M	TXD [6]
G18(G19)	LA16_P(N)	B2 IO_L31_GCLK		M2C	RX_ER			M2C	RX_EOF	M2C	RX_RTS
D20(D21)	LA17_CC_P(N)	B2 IO_L40		M2C	RXD [1]			M2C	RXD [1]	M2C	RXD [1]
C22(C23)	LA18_CC_P(N)	B2 IO_L16		C2M	TXD [7]			C2M	TXD [7]	C2M	TXD [7]
H22(H23)	LA19_P(N)	B2 IO_L29_GCLK		M2C	RX_DV			M2C	RX_VALID	M2C	RX_VALID
G21(G22)	LA20_P(N)	B0 IO_L36_GCLK		C2M	GTx_CLK						
H25(H26)	LA21_P(N)	B2 IO_L14		C2M	TXD [2]			C2M	TXD [2]	C2M	TXD [2]
G24(G25)	LA22_P(N)	B2 IO_L19		C2M	TXD [3]			C2M	TXD [3]	C2M	TXD [3]
D23(D24)	LA23_P(N)	B2 IO_L20		C2M	TXD [5]			C2M	TXD [5]	C2M	TXD [5]
H28(H29)	LA24_P(N)	B0 IO_L66_SCP									
G27(G28)	LA25_P(N)	B2 IO_L5		C2M	TXD [0]			C2M	TXD [0]	C2M	TXD [0]
D26(D27)	LA26_P(N)	B2 IO_L12		C2M	TXD [1]			C2M	TXD [1]	C2M	TXD [1]
C26(C27)	LA27_P(N)	B2 IO_L15		C2M	TXD [4]			C2M	TXD [4]	C2M	TXD [4]
H31(H32)	LA28_P(N)	B2 IO_L2_CMP		C2M	TX_ER			C2M	TX_CTS	C2M	TX_CTS
G30(G31)	LA29_P(N)	B0 IO_L65_SCP									
H34(H35)	LA30_P(N)	B0 IO_L64_SCP									
G33(G34)	LA31_P(N)	B1 IO_L52						C2M	TX_SOF	C2M	RX_CTS
H37(H38)	LA32_P(N)	B1 IO_L49						C2M	TX_EOF	C2M	Connect_Reset
G36(G37)	LA33_P(N)	B1 IO_L51		C2M	TX_EN			C2M	TX_VALID	C2M	TX_VALID

参考 A: VITA57.1 FMC 机械设计指导

FMC 尺寸

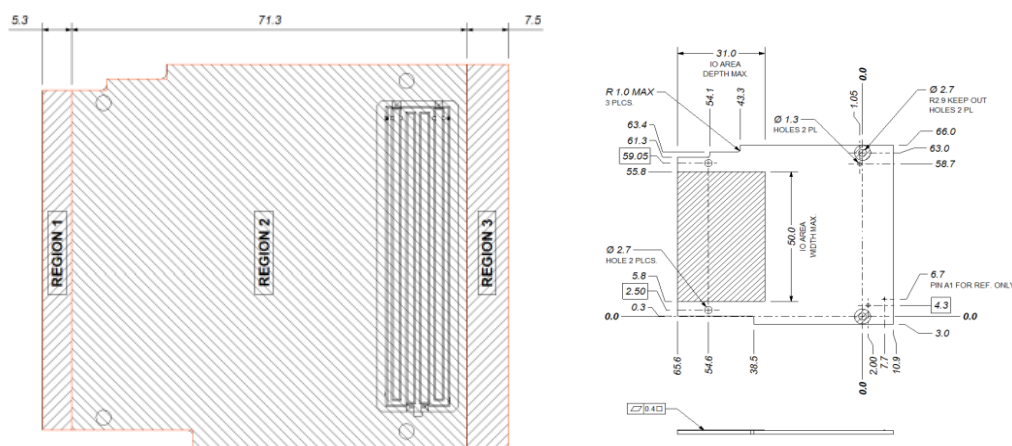
Mezzanine Dimension

单宽 FMC 模块宽度为 69mm。下图是典型的单宽商业级 FMC 子卡例子。



PCB 板上安装有 FMC 连接器的一面标记为 A 面，另一面记为 B 面。

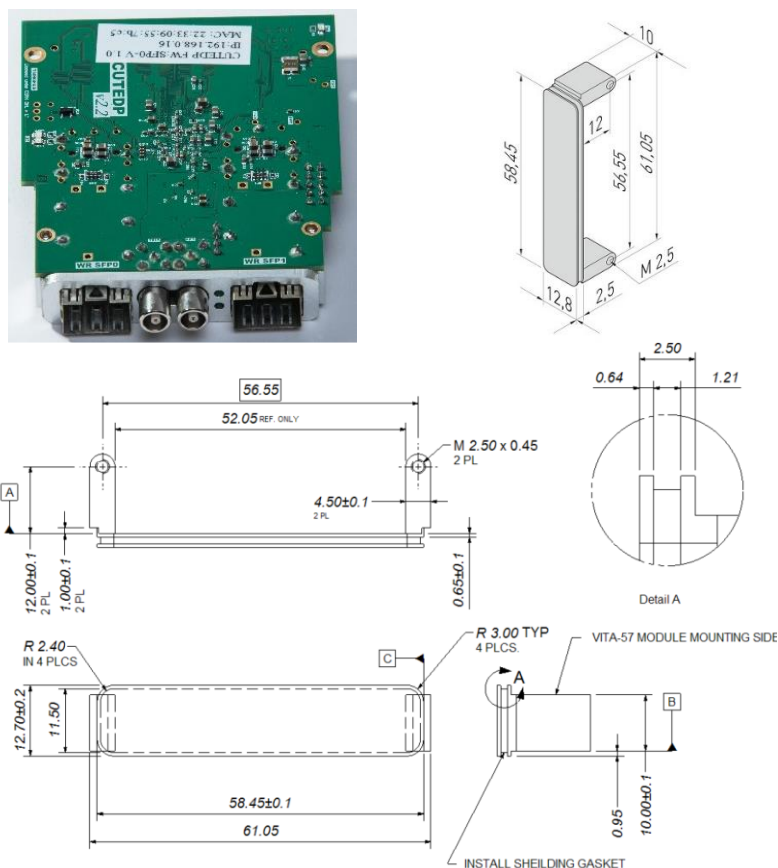
FMC 子卡定义了三个区域。这就使得子卡可以有不同但相互兼容的设计，以便模块适应不同的应用环境。单宽度 FMC 子卡（包括 CUTE-WR-DP）只使用 1 区和 2 区。下图为子卡的机械尺寸。



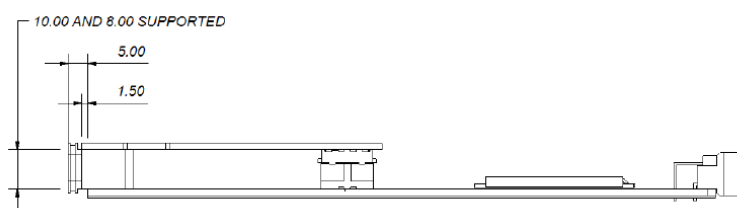
FMC 面板

Mezzanine panel

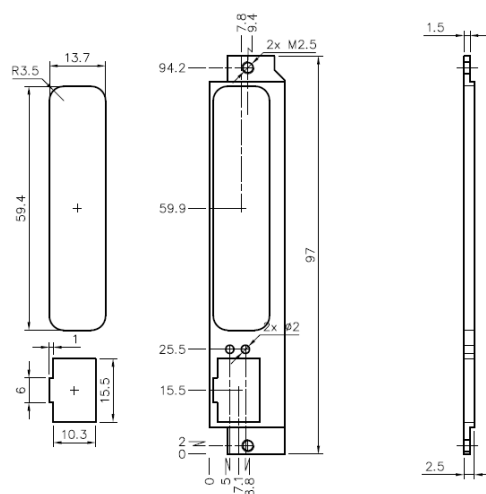
根据 FMC 的标准，整个 FMC 模块会提供和模块匹配的前面板；载板的面板只提供一个标准尺寸的 FMC 模块面板的安装空间，这样载板可以更换不同的 FMC 模块。如下图所示：



FMC 模块和载板的安装高度如下：



推荐的载板面板尺寸如下图：



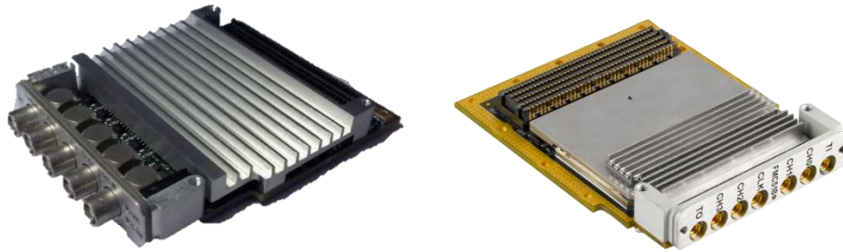
FMC 模块散热

(本节图片来自网络, 仅供示意, 版权归相应公司所有)

Heat dissipation

Pictures are only for reference

FMC 板卡面积较小，模块上集成了高性能 FPGA，高性能时钟处理电路，使用了大量高速差分信号处理芯片，整体功耗较大。FMC 板卡可以提供一体式定制散热器，将 FMC 模块热量均匀的传导到散热器表面。



但由于 FMC 子板是扣在载板上，该散热器被夹在子板和载板之间，对 FMC 子板的散热不利，需要 FMC 载板具备一定的辅助散热支持。

通常有以下几种做法：

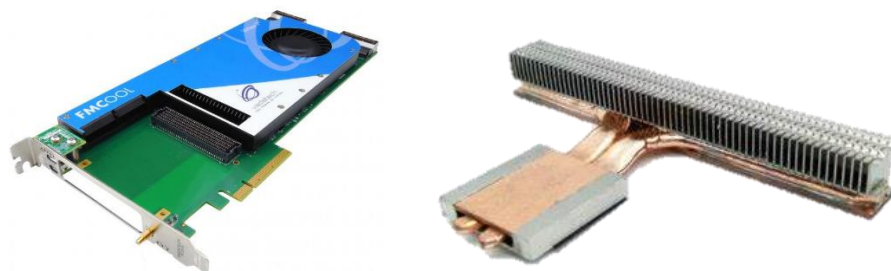
1：载板在 FMC 对应安装位置提供散热风扇，例如下图的 FMC 载板。这种方式要求载板底部对应位置不能放置任何电路元件，并需具有良好的通风环境。由于风扇运转会带来低频的机械振动，对高性能的时钟抖动指标不利。



2：采用加固导冷散热方式。通过机械结构，采用导热紧固滑块等将 FMC 模块的散热器结构和整个底板的散热结构融为一体。这种方式通常用于航空航天和军工等场合。



3：FMC 模块散热器内置扁平式热管，能够将热量充分导出。热管末端再连接其他散热块，通过接触或空气进行散热。热管有不同长度，并且能够折弯改变角度，末端连接的散热片或散热块可以灵活定制尺寸。这种模式能够提供很好的散热性能，但要求载板提供机械安装配合和主动空气散热风扇，并且对 FMC 模块的安装拆卸过程也会带来影响。



FMC 载板设计要求

FMC carrier board

建议载板综合考虑，预留足够的 PCB 位置和安装空间，能够支持后续采用不同来改善 FMC 模块的散热。

1: FMC 载板应提供标准的 FMC 子卡安装位置，在该区域（即从载板的 FMC 连接器到板边缘区域）不布置任何元器件；敷设大面积铜层，并去除表面阻焊层；载板将该区域铜层作为散热盘进行处理，通过大量的导热过孔连接到载板的内电铜层，利用载板较大的电路面积来辅助散热。

2: 在 FMC 模块两侧，至少保证有一侧保留 30mm 的区域用于安装和引出导热管，该区域不安排其它板卡，不摆放具有一定高度的器件（电解电容，接插件等），不靠近外壳，没有其他机械结构。



参考 B: VITA57.1 FMC 信号设计指导

**本附录内容节选自《ANSI/VITA 57.1-2019》，不尽或有冲突之处，以原始标准文档为准。
本节内容仅包含使用 LPC 的设计要求，HPC 部分请参考原始标准文档。**

注意 5.3: 名称中带有“C2M”的信号由母板驱动、IO 子卡接收

注意 5.4: 名称中带有“M2C”的信号由 IO 子卡驱动、母板接收

注意 5.5: 差分信号对中名称后缀带有“_P”的，表示该信号为差分信号的正信号端

注意 5.6: 差分信号对中名称后缀带有“_N”的，表示该信号为差分信号的负信号端

注意 5.7: 对于后缀带有“_L”的单端信号，“PRSNT_M2C_L”和“TRST_L”表明该信号低电平有效。

建议 5.1: 就设计目的而言，后缀带有“_CC”字样的信号应作为时钟源同步的首选信号，并应连接到 FPGA 引脚上。

GBTCLK0_M2C_P, GBTCLK0_M2C_N, GBTCLK1_M2C_P, GBTCLK1_M2C_N-用作差分数据参考时钟的差分对

DP[0..9]_M2C_P, DP[0..9]_M2C_N, DP[0..9]_C2M_P, DP[0..9]_C2M_N- 这些信号构成了大于 10Gb/s 的收发数据对。

GA[0..1] -这些信号提供了模块的地理寻址，并用做 I2C 的通道选择。

VREF_A_M2C – 该引脚提供区域 A 的数据引脚 (LAxx 和 HAxx) 所使用的信号标准的参考电压。如果区域 A 的信号标准并不需要使用参考电压，那么该引脚可以悬空。

3P3VAUX - 3.3V 辅助电源

VADJ –这些引脚连接一个可调电源，由母板为 IO 子卡供电。

3P3V –这些引脚提供母板为 IO 子卡提供的 3.3V 电源。

12P0V – 这些引脚提供母板为 IO 子卡提供的 12V 电源。

TRST_L - JTAG Reset 该信号用作 IO 子卡上的 TAP 控制器的异步初始化。

TCK - JTAG Clock.该信号为 TAP 控制器提供独立的时钟参考信号

TMS - JTAG Mode Select. 该信号用作 IO 子卡上的 TAP 控制器的状态控制

TDI - JTAG Data In. 该信号用来将测试数据和指令的串行写入 IO 子卡

TDO - JTAG Data Out 该信号用作将测试数据和指令的串行读出 IO 子卡

PRSNT_M2C_L -模块存在信号。该信号允许母板判断 IO 子卡是否存在

PG_C2M –母板电压正常信号。当电源 (VADJ,12P0V,3P3V) 在许可范围内时，该

信号为高电压。

SCL- 系统管理 I2C 总线串行时钟。该信号提供了从主板到 IO 子卡的时钟参考信号，使用双线串行总线。

SDA -系统管理 I2C 总线串行数据。该信号为双线串行管理总线提供了数据线。

用户定义的引脚

本规范定义了主板和 IO 子卡之间可由用户定义的接口的引脚数。利用 FPGA 上 IO 编程的灵活性，这些用户定义的引脚可以支持差分 and 单端信号。这使得这些引脚对于不同的 I/O 标准可以重新利用，并有助于最大限度地减少所需的物理连接器的尺寸。本规范的目的是为了定义可以同时被高、低引脚数接口支持的，用户定义的引脚数量。

用户定义的引脚：

LA[00..33]_P, LA[00..33]_N - 差分信号。

规则 5.3：带有 'LA' 或者 'HA' 前缀的引脚使用与 'A 区' 相关的信号标准，并可以使用 'VREF_A_M2C' 引脚上的参考电压。

规则 5.8：低引脚数连接器支持 68 个用户自定义的单端信号或者 34 个用户自定义的差分信号对。

规则 5.9：FMC 子卡 A 区的用户自定义信号必须可以承受的电压变化范围为 -300mV 到 VADJ +300mV。

规则 5.10：主板和子卡在 A 区的用户自定义信号引脚上均不得产生超出 -300mV 到 VADJ +300mV 范围的信号电压。

建议 5.3：当信号布为差分对时，每一对信号应该有 100Ω (+/- 10%) 的差分阻抗。

建议 5.4：当信号为单端信号时，每路信号应提供 50Ω (+/- 10%) 的阻抗。

注意 5.8：为了最大程度的提高子卡和母板的兼容性，应该首选 LVDS 和 LVTTTL 信号标准。

差分参考时钟

有四个参考时钟，它们组成了主板和 IO 子卡之间的一条总线。这些时钟汇流排成差分对。

注意 5.11：有两个时钟信号 (CLK0_M2C, CLK1_M2C) 在低引脚数连接器中定义使用。

在 HPC 定义中，存在 CLK[2..3]_BIDIR 两组时钟，可以由 CLK_DIR 引脚来定义其时钟信号的方向。

规则 5.18：时钟信号 CLK0_C2M, CLK1_C2M 由主板驱动，IO 子卡接收。

规则 5.19：时钟信号 CLK0_M2C, CLK1_M2C 由 IO 子卡驱动，主板接收。

规则 5.20: CLK0_C2M, CLK0_M2C, CLK1_C2M, CLK1_M2C 必须使用 LVDS 信号标准。

规则 5.21: 所有的时钟信号引脚没有连接相应信号时，都应接对应的逻辑 '0' 信号。后缀带有 '_P' 的信号应连接逻辑 '0'，后缀带有 '_P' 的信号应连接逻辑 '1'。

规则 5.22: 时钟信号线路必须提供 100Ω ($\pm 10\%$) 的差分阻抗。

规则 5.23: 每个差分时钟对的差分长度不匹配度至多为 11ps。

规则 5.24: 时钟信号 CLK0_M2C 和 CLK1_M2C 的最大周期抖动为 1ns。

规则 5.25: 时钟信号 CLK0_M2C 和 CLK1_M2C 的最大循环抖动为 $\pm 150\text{ps}$ 。

建议 5.5: 时钟信号 CLK0_M2C 和 CLK1_M2C 应当连接至母板 FPGA 的最优引脚，例如专用的时钟引脚。

千兆位接口

本规范定义了母板和 IO 子卡之间的传输速率高达 Gb/s 的数据接口。本规范力图支持高达 10Gb/s 的千兆位接口。千兆位接口带有 “DP” 前缀，DP 信号使用的相关参考时钟有 “GBTCLK” 前缀。

规则 5.26: DP[0..9]_M2C 由 IO 子卡驱动，母板接收。

规则 5.27: DP[0..9]_M2C 应连接到母板 FPGA 的自适应均衡 IO 收发器输入端。

规则 5.28: DP[0..9]_C2M 信号由母版驱动，IO 子卡接收。

规则 5.29: DP[0..9]_C2M 应连接到母板 FPGA 的自适应均衡 IO 收发器输出端。

规则 5.31: 所有的 DP[0..9]_C2M 信号都直接连接到母板 FPGA 的引脚上。母板的这些信号不得连接其它任何设备。

规则 5.32: 所有 DP[0..9]_M2C 信号必须在母板上使用外部耦合信号或者 FPGA 内部信号进行 AC 耦合

规则 5.33: 母板为 DP[0..9]_M2C 信号提供的 AC 耦合电容最小为 75nF，最大为 200nF。

规则 5.42: 千兆数据对线路必须提供 100Ω ($\pm 10\%$) 的差分阻抗。

规则 5.43: 每个差分数据对的差分长度不匹配度为 1ps。

注意 5.14: 如果要求运行速度大于 3.125 Gb/s，就需要消除短截线。

千兆位的参考时钟

为了支持千兆位 IO 接口，通常需要参考时钟，以便确定数据传输速率。

GBTCLK0_M2C_P, GBTCLK0_M2C_N—用作时钟信号的差分对，由 IO 子卡驱动，母

板接收。该信号用作差分数据的参考时钟。

规则 5.44: IO 子卡必须为千兆位接口提供参考时钟 (GBTCLK)。这些时钟信号布线时必须设置为差分对。

规则 5.45: 参考时钟 (GBTCLK) 必须使用 LVDS 信号标准。

规则 5.48: 时钟线路提供 100Ω ($\pm 10\%$) 的差分阻抗。

忠告 5.1: GBTCLK 信号应连接至母板 FPGA 的专用时钟引脚，这些引脚与千兆位数据对相关。

JTAG 设计需求

规则 5.50: 母板必须保证独立缓冲的 TCK 信号都能输入到各自的子卡。

规则 5.51: 子卡在 TMS 信号上应当只有一个负载。

规则 5.52: 当 FMC 子卡没有插入到母板时，母板应当直接将 TDI 引脚连接至 TDO 引脚。

规则 5.53: 当 FMC 子卡不使用 JTAG 接口时，该模块应直接将 TDI 引脚连接至 TDO 引脚。

忠告 5.2: PRSNT_M2C_L 应当用来检测子卡是否存在，并用来控制 TDI 信号的转换。TDI 信号通常会直接连接到 TDO 信号，这样就绕过了子卡并保证了 JTAG 回路的完整性。

注意 5.16: 对于(与系列规则相符合)的 IO 子卡,JTAG 是可选项，非必须。

规则 5.57: FMC 子卡的 JTAG 信号必须使用 LVTTTL (3.3V) 电平。

规则 5.58: 母板不得将连接至子卡的 JTAG 信号驱动至超过 LVTTTL 电平。

规则 5.59: IO 子卡不应将连接至母板的信号驱动至超过 LVTTTL 电平。

I2C 设计规范

规则 5.60: IO 子卡必须提供板上 EEPROM，并使之与 I2C 总线信号通过接口相连。

注意 5.17: EEPROM 用来存储与 IO 子卡特征有关的信息。

规则 5.61: EEPROM 由 3P3VAUX 信号供电。

规则 5.70: 子卡必须使用 GA0 和 GA1 来确定非易失性存储设备 EEPROM 和可选设备的地址。地址译码时应当遵循表 10 所列的地址。

规则 5.72: 母板应当直接将 GA[0]和 GA[1]引脚连接到 3V3PAUX 电源或者地信号。

注意 5.19: 子卡可能需要在 GA[0]和 GA [1]引脚上放置限流电阻。

PRSNT_M2C_L 信号

保证载体卡成功地检测 IO 子卡是否安装。

规则 5.74: IO 子卡应当将本信号接地。

规则 5.76: 主板应当分析 PRSNT_M2C_L 信号以确认 IO 子卡是否安装。

电源正常信号

PG_M2C 和 PG_C2M 信号标识着表 11 和表 12 中的信号是否在误差允许范围内，以保证系统稳定运行。

规则 5.77: PG_M2C 和 PG_C2M 必须采用 LVTTTL 信号标准。

规则 5.78: 主板必须为每个 PG_M2C 和 PG_C2M 信号与 3P3V 信号之间提供 10KΩ 的上拉电阻。

规则 5.79: 当电源信号 VADJ, 3P3V, 12P0V 和 3P3AUX 不满足本规范时， motherboard 必须驱动 PG_C2M 为低电平。当这些信号满足本规范时， motherboard 必须驱动 PG_C2M 信号为高电平。

注意 5.20: 在操作过程中当电源超出本规范时，子卡和主板应当采取适当的措施进行处理。

电源要求

本规范提供三个主要的电源：VADJ, 3P3V 和 12P0V。设计时，应当使三者作为各自独立的线路。电压由主板提供给 IO 子卡。设计时，模块的主要电源可以由三者中的一个或多个共同提供。

电源	允许的电压范围	引脚数目	最大电流	允许的偏差
VADJ	0 – 3.3V	2	2	+/- 5%
VREF_A_M2C	0 – VADJ	1	1mA	+/- 2%
3P3VAUX	3.3V	1	20mA	+/- 5%
3P3V	3.3V	4	3	+/- 5%
12P0V	12V	2	1	+/- 3%

表 12. 低引脚数连接器的电源供应

FMC 连接器提供 VADJ 的目的在于最简化 FMC 子卡的电源管理，这样，模块上有限的空间就能充分用来实现 I/O 功能，并能将模块上电源模块产生的噪声最小化。由于有一系列 I/O 接口存在，很难找到一个无需转换就能满足模块上所有设备需求的电源。因此，可以从主板获取预处理的电源以及 IPMI 定义的电源，这一电源获取的灵活机制成为了简化系统设计的有力工具。

规则 5.85: IO 子卡必须使用三个电压源——VADJ, 3P3V, 12P0V 的适当组合以适应设计要求。

建议 5.8: 要想使主板和 FMC 子卡获得最大程度的匹配，主板必须为每个信号提供表 11 和表 12 中规定的最大电流。

规则 5.86: 主板厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所能提供的电流。

规则 5.87: 主板厂商必须在自己的产品信息中包含 VADJ 电源所能提供的电压值。

规则 5.88: 模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C 和 VREF_B_M2C 电源所能提供的电流。

规则 5.89: 模块厂商必须在自己的产品信息中包含 VADJ 电源所要求的电压值。

规则 5.90: 模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C, VREF_B_M2C 电源所能提供的电压值。

规则 5.91: 模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C, VREF_B_M2C 电源所能提供的电流值。

规则 5.92: 模块厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所使用的电流值。

规则 5.93: 子卡功率不得超过 10W。如果系统有能力消耗掉产生的功率的话, 子卡允许产生多于 10W 的功率。

规则 5.94: 子卡供应商应当在自己的产品信息中包含子卡的最大热耗散。

许可 5.7: 主板可以提供小于本规范的电流, 也支持低于 10W 的热耗散, 这些都应在产品信息中清晰的标示。

规则 5.96: 低引脚数连接器应当分配 2 个引脚给 VADJ 电源。

规则 5.97: 总共应分配 4 个引脚给 3P3V 电源信号。

规则 5.98: 总共应当分配 4 个引脚给 12P9V 电源信号。

注意 5.23: FMC 高速连接器引脚电流为 2.7A。不过, 本规范会使用 1A 的降额因子。

建议 5.9: IO 子卡应当包含一个内部电源控制系统, 在外部电源稳定之前, 这个系统使子卡保持在复位状态。对于很多系统, 这个保持时间为 200-500ms。

电源上电顺序

注意 5.24: 主板可以在任意的上升时间供电, 并提供不同电源之间的排序。

规则 5.99: 当所有的电源都在允许范围内时, 主板和子卡应当认为电源是稳定的。

规则 5.100: 3P3V、12P0V 和 VADJ 电源在上升阶段必须单调上升。

3.3V 辅助电源

3P3VAUX - 供 IO 子卡使用的 3.3V 辅助电源。3P3VAUX 不作为模块的主电源，而是用来匹配系统的管理功能，而该功能即使在板上电源保护回路失效时也要求能够正常运作。

规则 5.101： 母板必须为本引脚上提供 3.3V 电压。母板可以使用其 3.3V 辅助电源或者母板的 3.3V 主电源为该引脚供电。

规则 5.102： 3P3VAUX 电源在上升时必须单调。

注意 5.25： 当其它电源不可用时，3P3VAUX 电源对于子卡应当可用。

注意 5.26： 3P3VAUX 和 3P3V 不得共用子卡上的线路，以避免子卡关闭时电流回路发生故障。

IO 参考电压

本规范提供从 IO 子卡到母板的参考电压。本规范的目的在于为子卡提供一个方便的 IO 标准，这需要有参考电压。这些 IO 标准完整的规范已经超出了本文档的范围，需要更多信息的话，请参考适当的规范。

VREF_A_M2C – 参考电压，与 A 区数据引脚使用的信号标准相关。

规则 5.103： 如果信号标准有要求的话，LAXx 以及 CLK0 信号必须使用 VREF_A_M2C 信号作为参考电压。

许可 5.8： 如果 A 区的信号不需要参考电压的话，子卡 VREF_A_M2C 引脚可以不连接信号。

规则 5.105： 母板必须将 VREF 引脚连接至相应设备，这些设备必须通过接口与 IO 子卡相连。

IO 区域的电源

规则 5.110： A 区中用户定义的信号必须使用 VADJ 电压作为 IO 电源。

规则 5.111： 如果母板不能提供子卡所要求的 VADJ 信号，这时电压信号被认为是超出允许范围，母板也必须驱动 PG 信号为低电平。

规则 5.112： 母板应当从子卡上的非易失性存储设备上获得 VADJ 信号的所需值。

许可 5.10： VADJ 信号可以用作 A 区 IO 电源之外的其他目的。

要求的信号标准	VADJ	VREF_A_M2C
LVTTTL	3.3	不适用
LVCMOS33	3.3	不适用
LVCMOS25	2.5	不适用
LVCMOS18	1.8	不适用
LVCMOS15	1.5	不适用
LVDS	2.5	不适用

LVPECL	2.5	不适用
--------	-----	-----

规则 6.4: 指定为 L_{Axx_y} 和 H_{Axx_y} 的 IO 信号由公用的 VADJ 电源驱动。

规则 6.6: 模块通过非易失性 EPROM 确认它对于母板的 VADJ 电压要求。

规则 6.7: 母板必须利用 VADJ 信号作为 FPGA 的电源信号，作为 L_{Axx_y} 和 H_{Axx_y} 的信号标准。

附录

Appendix

详细参数

Specification

FPGA	
Type	Xilinx Spartan-6 (LX45T)
Package	324pin CSG
Slices	6822
Memories	2088Kb
Softcore	LatticeMico32(LM32)
I/O	4 GTX transceiver

OnBoard Clock	
PLL	TI CDCM61004RHBT (28-683MHz)
DAC	AD5663BRJ (16bit; 2.7-5.54V)

LEMO/SMA I/O	
PPS Output	2Vpp@50ohm (High Voltage : +2V Low Voltage : 0 Pulse width:10ms)
Sync Output	3.3Vpp@50ohm ~20.4dBm (High Voltage : 3.3V Low Voltage : 0)

Others	
Certification	
Power Supply	3.3V 3A (Through FMC connector)
Environmental Conditions	Temperature: 0°C ~ +50°C Humidity: 0% ~ 90% RH
Installation	FMC carrier board (ANSI/VITA57.1-2008)

包装

Package

CUTE-WR-DP 包装由以下构成：

- CUTE-WR-DP 板卡
- 单模光纤（**选配件**，数目和长度需要在订购时声明）
- 若干 LC 接口的 SFP 模块，型号分别为：（**选配件**，数目和类型需要在订购时声明）
 - GE-LC-1490（紫红色）
 - GE-LC-1310（蓝色）

注：有关 SFP 兼容性的信息和使用方法，[请咨询 support@synctechonology.cn](mailto:support@synctechonology.cn)。

The package of CUTE-WR-DP includes:

- CUTE-WR-DP mezzanine
- SM fibers (**optional**, specify the length and quantity when ordering)
- SFP LC modules (**optional**, specify the type and quantity when ordering)
 - GE-LC-1490 (violet)
 - GE-LC-1310 (blue)

Note: For SFP compatibility or special long-distance modules, please consult support@synctechonology.cn

环保

Environment Friendly



这个标志意味着当设备已经到达生命周期时，必须送到回收中心，与生活垃圾区分对待。包装箱，包装物中的塑料袋和其余可回收物，应按照国家回收规定进行回收。

千万不要将这些电子设备与生活垃圾一起丢掉，你可能会受到相应法规制裁。保护环境人人有责。

This symbol means that when the equipment has reached the end of its life cycle, it must be taken to a recycling center and processed separate from domestic waste.

The cardboard box, the plastic contained in the packaging, and the parts that make up this device

can be recycled in accordance with regionally established regulations.

Never throw this electronic equipment out along with your household waste. You may be subject to penalties or sanctions under the law. Instead, ask for instructions from your municipal government

on how to correctly dispose of it. Please be responsible and protect our environment.

保修

Warranty

CUTE-WR-DP 出厂时经过了完整的测试，并拥有一年的厂商保修。鉴于 CUTE-WR-DP 的安装环境不可控，由于安装问题导致的失效不予保修。这包括错用、错接、过热和超出 CUTE-WR-DP 设计范围的过载操作。有关保修和更换，请联系：

信科太（北京）科技有限公司 Sync technology(Beijing) co., LTD

邮箱：info@synctechonology.cn ; support@synctechonology.cn

The CUTE-WR-DP is fully factory tested and warranted against manufacturing defects for a period of one year. As the circumstances under which this CUTE-WR-DP is installed cannot be controlled, failure of the CUTE-WR-DP due to installation problems cannot be warranted. This includes misuse, miswiring, overheating, operation under loads beyond the design range of the CUTE-WR-DP. For warranty or no warranty replacement please contact:

Sync (Beijing) Technology co., LTD

email: info@synctechonology.cn ; support@synctechonology.cn

安全警告

Safety

警告：本板卡的设计标准电源输入范围是：3.3V，请使用符合规范的输入电源。

警告：为了延长 CUTE-WR-DP 的寿命，建议在受控的环境中使用设备，符合附录中的环境要求。

警告：本板卡使用时需要连接到 FMC 载板，保证可靠连接。

警告：不得直接触摸板卡上的集成电路和元器件，防止静电破坏

Warning: The standard power source for this mezzanine is designed to work in the 3.3V.

Warning: To increase the lifetime of the CUTE-WR-DP, it is recommended to use in a controlled ambient environment and limit to the ambient condition stated in the Specification Appendix.

Warning: The mezzanine it supposed to be installed on a FMC carrier, with reliable connection to the carrier circuit.

Warning: Direct touch to the IC and component is forbidden that may cause ESD damage to the mezzanine.

FAQ 和错误诊断

FAQs & Troubleshooting

如果你遇到一些问题，请先查供应商的 FAQ 网页，看是否能从中找到答案
(<http://www.synctechology.cn/detaile.aspx?id=172>)。也可以进入 wiki 页面
<http://www.ohwr.org/projects/wr-switch-sw/wiki/Bugs>，查看你的问题是否为一个已知的
bug，是否已经有解决方案。还可以联系我司寻求技术支持。
email: info@synctechology.cn; support@synctechology.cn

If you are experiencing some issues please look first at the WRS FAQ wiki page if you
can find an answer. You can also reach out the wiki to see if your issue is a known bug
and if a solution was found:

<http://www.ohwr.org/projects/wr-switch-sw/wiki/Bugs>
You can also request Technical Support by contacting us. email:
info@synctechology.cn; support@synctechology.cn

联系我们

Contact US

信科太（北京）科技有限公司
北京市海淀区双清路
启迪（八家）创业园 A508 室
<http://www.synctechology.cn>
0086-13070165776
info@synctechology.cn
support@synctechology.cn

Sync Technology (Beijing) co., LTD
A508, QIDI (Bajia) incubator
Shuangqing Road, Haidian District, Beijing
<http://www.synctechology.cn/>
0086-13070165776
info@synctechology.cn
support@synctechology.cn

