

# CUTE-WR-A7 使用手册

## CUTE-WR-A7 User Manual

Version 20220928



信科太 (北京) 科技有限公司  
Sync (Beijing) Technology

DHCP	Dynamic Host Configuration Protocol	动态主机配置协议，用于获取网络配置
FMC	FPGA Mezzanine Card	FPGA 夹层卡，一种 ANSI 工业标准卡
PTP	Precise Time Protocol	精密时间协议，又称 IEEE1588
SMA	Subminiature version A	一种用于射频电路的同轴连接器
SFP	Small form-factor pluggable transceiver	一种可以热插拔的串行收发器
UART	Universal Asynchronous Receiver/Transmitter)	通用异步串行收发器
WR	White Rabbit	一种高精度时钟同步技术
WRS	White Rabbit Switch	支持 WR 同步协议的交换机
WRN	White Rabbit Node	支持 WR 同步协议的节点板卡

## 版本：

- V20210413: Initial version
- V20220111: 增加控制台命令，增加恢复原始设置。
- V20220825: 增加控制台命令( AUX 信号，延迟设置)
- V20220928: 修正核对部分细节信息，调整章节顺序  
Detail corrected
- V20221015: 修正核对 FMC 信号

# 目录

---

术语表	Glossary	2
介绍	Introduction	4
工作模式	Operation Modes	6
接口	Interfaces	8
连接运行	Startup	18
控制台命令	Console commands	21
WR 同步状态	WR status	23
AUX 信号	AUX signals	26
时间编码	TAI Timing signals	28
升级固件	Firmware updates	30
恢复初始设置	Recovery	32
数据传输	Data transmission	33
延迟标定	Calibration	33
附录 A:	VITA57.1 FMC 机械设计	34
附录 B:	VITA57.1 FMC 信号设计指导	38
附录 C	Appendix	46

CUTE-WR-A7 (Compact Universal Timing Endpoint based on WR using Artix7) 是一款实现 White Rabbit 双端口节点功能的通用 FMC 标准子卡。CUTE-WR-A7 可以提供同步准确度好于 1 纳秒，同步精度小于 30 皮秒的时钟信号。

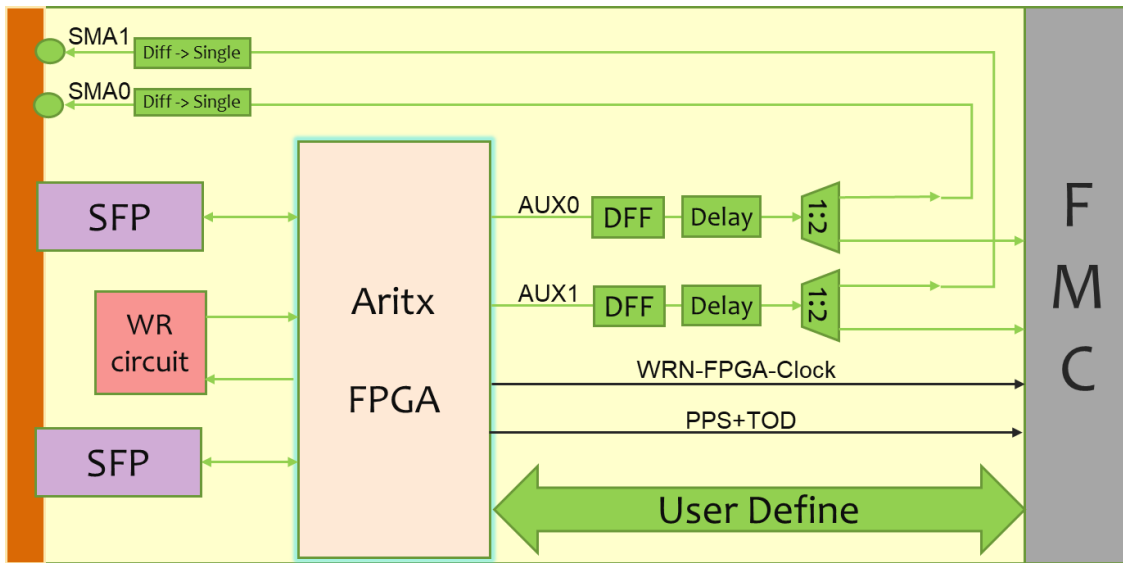
CUTE-WR-A7 (Compact Universal Timing Endpoint based on WR using Artix7) is a mezzanine card in FMC form, with full support of WR technology. CUTE-WR-A7 can provide timing signals with accuracy better than 1ns and precision better than 30ps.

CUTE-WR-A7 包括电源模块、Artix7 系列 FPGA、DAC、VCO 和 PLL 芯片、2 路支持 1Gbps 光纤收发器的 SFP 接口等。

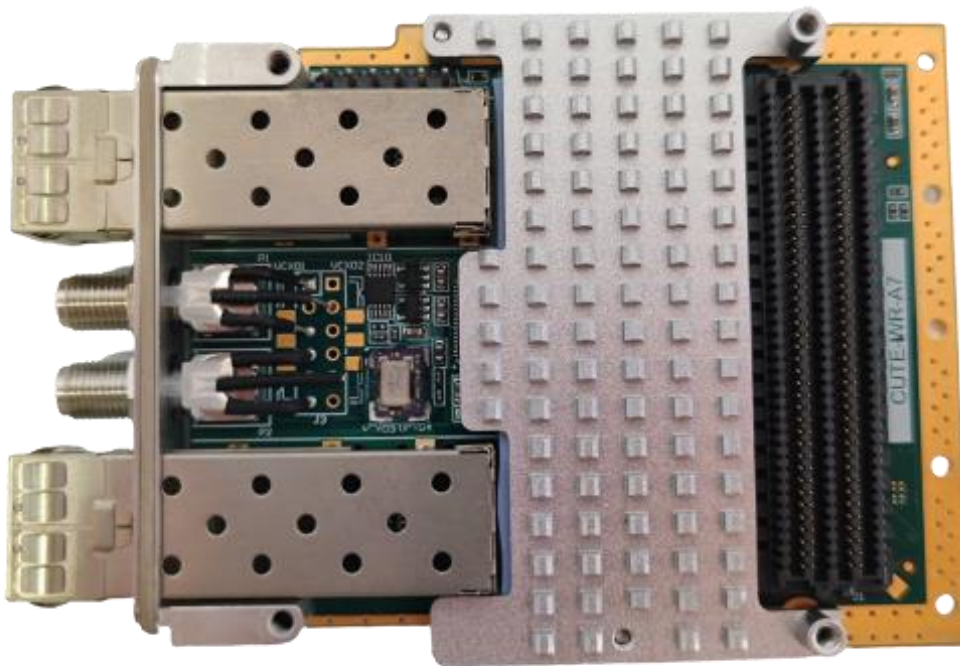
CUTE-WR-A7 支持 WR 协议，兼容 PTPv2 协议，可作为 1588 普通时钟节点 (Ordinary Clock)；通过双端口级联，可作为 1588 边界时钟节点(Boundary Clock)。CUTE-WR-A7 提供通用接口实现调试、数据通信以及本地配置等功能。

CUTE-WR-A7 contains the power converter, Artix-7 FPGA, DAC, VCO, PLL circuit and 2 SFP interfaces supporting 1Gbps fiber transceiver.

CUTE-WR-A7 supports WR protocol and is compatible with PTPv2 to act as IEEE 1588 ordinary clock node. Besides, with the additional secondary port, it can also act as boundary clock for IEEE 1588. Following the WR technology specification, the Bi-Directional SFP modules are used with a single strand of single-mode fiber to connect with other WR devices. On the same fiber media, the clock/timing transmission can be accomplished together with data transmission. CUTE-WR-A7 provide a firmware framework for debugging, diagnostic, data transmission and configurations.



CUTE-WR-A7 结构框图  
structure of CUTE-WR-A7



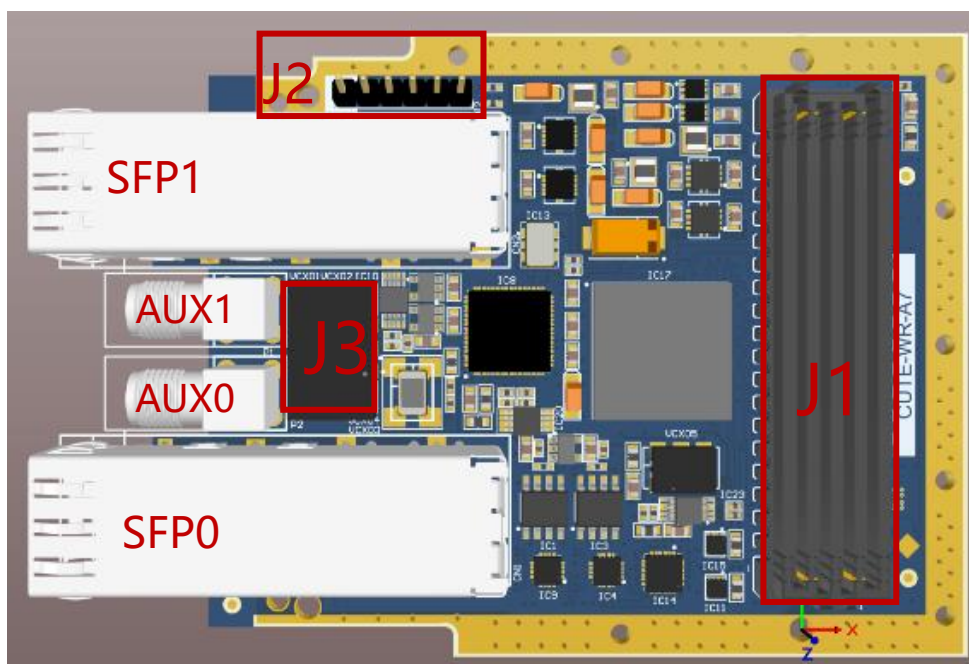
CUTE-WR-A7 实物  
Picture of CUTE-WR-A7

CUTE-WR-A7 有多种不同的工作模式：

CUTE-WR-A7 has different operation modes:

<p>CUTE-WR-A7-SM</p> <p>从节点模式 Slave Mode</p>	<p>CUTE-WR-A7 的两个 SFP 均为从节点，可连接 WR 交换机或其他 WR 主设备。这种模式下 SFP0 具有优先级，只有在 SFP0 无连接的时候 SFP1 才可以进入工作状态；SFP0 连接启动后也会直接切换掉 SFP1。在两个端口发生切换时，节点的同步输出会存在短暂的丢失和跳变。</p> <p>In Slave mode, both SFP ports on CUTE-WR-A7 act as WR slave. SFP0 has higher priority over SFP1. Switching between SFP may cause synchronization break or glitch.</p>
<p>CUTE-WR-A7-MM</p> <p>主节点模式 Master Mode</p>	<p>CUTE-WR-A7 的两个 SFP 均为主节点，可分别连接其他 WR 从设备。</p> <p>In Master mode, both SFP ports on CUTE-WR-A7 act as WR master and can connect to WRS or other WR slave node.</p>
<p>CUTE-WR-A7-GM</p> <p>源节点模式 Grand-Master Mode</p>	<p>该模式是主节点模式的基础上，可以连接外部的 10MHz 和 PPS 参考源（需要配合 EVB 板或 GMEB 板使用）</p> <p>With extra interfacing circuit (CUTE-WR-EVB/CUTE-WR-GMEB), CUTE-WR-A7 can work in Grand-master mode to follow external 10MHz/PPS reference.</p>
<p>CUTE-WR-A7-CM</p> <p>级联模式 Cascade Mode</p>	<p>CUTE-WR-A7 的两个端口分别工作在主模式和从模式，多个 CUTE-WR-A7 可以互相串连，形成链式拓扑</p> <p>In CM mode, two ports act as one down-link (SFP1) and one up-link (SFP0) to support cascade topology.</p>
<p>CUTE-WR-A7-PM</p>	<p>并联模式下，CUTE-WR-A7 的两个端口均工作在从模式，可以分别和两个 WR 主设备连接。这两个链路</p>

<p>并联模式 Parallel Mode (<b>not available yet</b>)</p>	<p>可以构成冗余备份，在一个链路发生故障时，节点可以自动切换到另一个链路，保持定时信息的稳定连续。</p> <p>In PM mode, both ports act as slave that can connect to different WR masters to form redundant WR connections to guarantee the reliability.</p>
--	---



硬件接口 (CUTE-WR-A7 正面向上)

CUTE-WR-A7 connectors (topside up)



前面板视图 (CUTE-WR-A7 正面向下)

Front panel of CUTE-WR-A7 (topside down)

CUTE-WR-A7 板硬件接口如图所示:

The CUTE-WR-A7 contains the following connectors:

➤ **供电接口**

CUTE-WR-A7 没有单独的供电接口, 必须通过 FMC 接插件对应的电源引脚供电, 供电电压 3.3V, 供电电流不少于 3A。

➤ **Power port**

CUTE-WR-A7 is powered via the FMC connector; the power rail is 3.3V and not less than 3A.



### ➤ SFP 接口

前面板提供两个 SFP 接口，分别为 SFP0 和 SFP1。默认情况下，CUTE-WR-A7 配置为 cascaded 模式，即 SFP0 配置为 Slave 功能，SFP1 配置为 Master 功能。

CUTE-WR-A7 不附带任何 SFP 模块，需要单独购买。

### ➤ SFP cages:

there are two SFP cages on front panel, SFP0 and SFP1. By default, the CUTE-WR-A7 is configured in "cascaded" mode thus SFP0 is configured as WR slave port while SFP1 is configured as WR master.

The SFP modules are not included in CUTE-WR-A7 and need to be purchased separately.

### ➤ SMA 信号输出

前面板的两路 SMA 连接器，输出可配置的 AUX 信号，默认情况下为：

AUX0: 10M 同步时钟

AUX1: PPS 秒脉冲信号

### ➤ SMA connectors

There are two SMA connectors on front panel for output configurable AUX signals, default they are configured as:

AUX 0: 10M clock

AUX1: Pulse Per Second

### ➤ LED

2 个前面板双色指示灯，用作两个 SFP 端口同步状态和网络通信活动指示

绿色: Link&Sync 对应端口 WR 链路建立且完成同步

红色: Activity 对应端口有数据包交换

由于是双色灯，红绿同亮会呈现橙色。上电后会首先变成绿色，随后出现橙色闪烁；如果只有红色闪烁就是链路正常通信但没有完成 WR 同步。

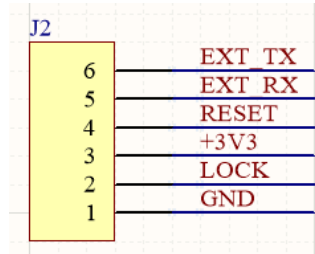
### ➤ LED

two bi-color front panel LEDs works as synchronization status and network activity indication for the two SFP ports respectively.

Green: Link&Sync WR link is setup and synchronized

Red: Activity packages are exchanged on the port

After power-up, it should turn from red to green and followed with orange blinks; with only red blink means the WR protocol is not established.



### ➤ J2 连接器

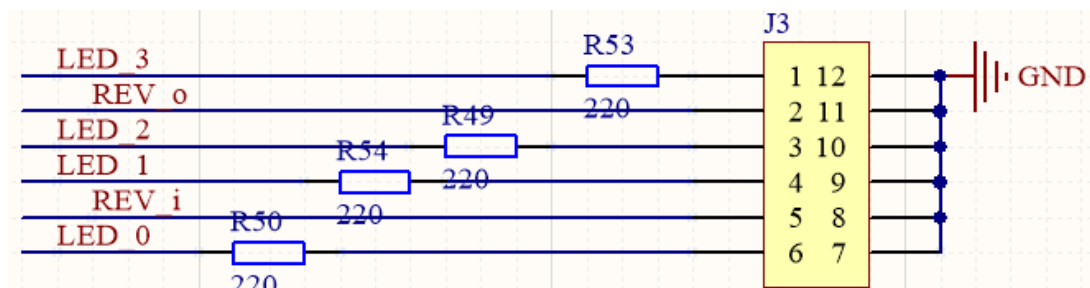
该连接器是单排 1x6 针式连接器，间距 2.54mm，放置在 PCB 边缘。J2 是 CUTE-WR-A7 自定义的连接器，并不是 FMC 标准的一部分。

- ✧ EXT Rx / EXT Tx : 串口信号，该信号为 LvCMOS 电平，底板上必须实现相应的串口驱动转换 (RS232 或 USB 串口)
- ✧ RESET : 外部复位输入，低电平有效。
- ✧ LOCK : WRPC 锁定状态指示信号，高电平有效

### ➤ J2 connector

This self-defined 6pin connector (single row male, 2.54mm pitch) located on the edge of CUTE-WR-A7 is not part of VITA-57 FMC standard.

- ✧ EXT Rx / EXT Tx : UART for console port, they are LvCMOS level thus extra convert circuit is necessary on carrier board.
- ✧ RESET : external reset input, low-level valid
- ✧ LOCK : WRPC lock status output, high-level valid



### ➤ J3 连接器

该连接器提供 4 个 LED 指示控制信号和一对预留的带缓冲的输入输出信号。通常该连接器位置用于焊接双色面板指示灯，用户不使用该连接器。

### ➤ J3 connector

J3 connector provides the control signals for the two bi-color LEDs

together with a pair of buffer in/out signal. This connector is not open to user.



➤ **FMC 连接器**

CUTE-WR-A7 使用低密度(low pin count, LPC) FMC 接口, 提供 3 对 LVDS 时钟输出、31 对 LVDS 通用 IO、3 对 LVDS 信号输入、1 对 GTP 专用高速数据传输接口、JTAG 编程接口。

CUTE-WR-A7 使用 FMC 接插件型号为 SAMTEC 的 ASP-134606-01, male, LPC, 8.5mm 高度。与其配套的接口型号为 SAMTEC 的 ASP-134603-01, Female, LPC。

FMC 连接器的信号定义遵循 ANSI/VITA57.1-2019 标准定义 (不兼容的地方会单独指出)。

➤ **FMC connector**

CUTE-WR-A7 is an FMC form mezzanine with a LPC (low pin count) FMC connector, contains 3 pairs of LVDS clock output, 31 pairs of LVDS general purpose IO, 3 pairs of LVDS signal input, 1 pair of GPT dedicated high-speed transceiver signal, JTAG programming socket.

CUTE-WR-A7 applies the FMC components from SAMTEC, type ASP-134606-01, male, LPC with 8.5mm stacking height. The mating components on the carrier board is SAMTEC, Type ASP-134603-01, Female, LPC

The signals on the FMC connector follows the ANSI/VITA57.1-2019 standard. (Incompatibilities notified otherwise)

**固定信号**

**signals defined by VITA57.1**

FMC Pins	NET	Default	Note
----------	-----	---------	------

H1	VREF_A_M2C	参考电压 Reference Voltage	差分信号参考电压。CUTE-WR-A7 连接到 3.3V Reference voltage for differential signals, connected to 3.3V on CUTE-WR-A7 mezzanine.
H2	PRSNT_M2C	模块存在信号 Mezzanine Present	母板上拉, CUTE-WR-A7 将该信号直接接地。模块未连接, 母板检测到该信号为高电平, 模块插入后, 母板检测到该信号为低电平。 This signal is Pull-up on carrier board, and connected to GND on CUTE-WR-A7. The carrier board will detect high level if the CUTE-WR-A7 is not mounted, and low level is the CUTE-WR-A7 is mounted.
D1	PG_C2M	母板电压正常 Carrier power good	母板电压正常时, 将该信号置为高电压 Carrier board pulls this signal to high level after the power supply is steady.
D32	P3V3_AUX		这几个信号直接连接到 FMC 板载 EEPROM, 参见附录 B “I2C 设计规范”一节 These signals connected to the EEPROM on CUTE-WR-A7 FMC mezzanine, please refer to VITA57.1 standards.
D35	GA1		
C34	GA0		
C30	FMC_I2C_SCL		
C31	FMC_I2C_SDA		
D29	FMC_FPGA_TCK		JTAG 编程信号 JTAG signals
D30	FMC_FPGA_TDI		
D31	FMC_FPGA_TDO		
D33	FMC_FPGA_TMS		
D34	FMC_JTAG_RESET		
C35,C37	P12V		未用 Not used
D36,D38, D40,C39	P3V3_FMC		底板向子卡提供大于 3A 的 3.3V 电源 Carrier board should provide 3.3V with 3A.
H40,G39	FMC_VADJ		可以由底板提供, 作为部分用户 IO 的供电电压, 以实现不同的电压标准 Provided by the carrier board to adjust the reference voltage of the FPGA bank that some FMC signals belongs, to support different IO voltage standards
C1,C4,C5,C8,C9,C12,C13,C16,C17,C20,C21,C24,C25,C28,C29,C32,C33,C36,C38,C40 D2,D3,D6,D7,D10,D13,D16,D19,D22,D25,D28,D37,D39 H2,H3,H6,H9,H12,H15,H18,H21,H24,H27,H30,H33,H36,H39; G1,G4,G5,G8,G11,G14,G17,G20,G23,G26,G29,G32,G35,G38,G40			DGND

## 应用定义信号

## Application defined signals

\*M2C 指的是 FMC 子卡 (Mezzanine) 到板卡 (Carrier), C2M 相反。

\*M2C means from mezzanine (CUTE-WR-A7) to carrier, C2M means opposite direction

<b>常规固件/Normal</b> (适用于 EVB, TB-300, GMEB 板) <b>applicable for EVB/TB-300/GMEB</b>					
<b>FMC PIN</b>	<b>VITA_NET</b>	<b>FPGA_B</b>	<b>FPGA_Pin</b>	<b>Dir</b>	<b>Function</b>

		ANK			
C2(C3)	DP0_C2M_P(N)		E4(E3)	C2M	在 FMC 和底板之间提供一对 SerDes 连接 A SerDes connection between CUTE-WR-A7 and carrier board.
C6(C7)	DP0_M2C_P(N)		H2(H1)	C2M	
G2(G3)	CLK1_M2C_P(N)	B15	E13/D14	*Note1	
H4(H5)	CLK0_M2C_P(N)	B15	D13/C13		
D4(D5)	GBTCLK0_M2C_P(N)				PLL 直接输出的低抖动 WR 时钟, 125MHz The 125MHz clock generated directly from the PLL synthesizer.
G6(G7)	LA00_CC_P(N)	----	L1:D8(C8)	M2C	*Note2 AUX0
D8(D9)	LA01_CC_P(N)	----	L3:B9(A9)	M2C	*Note2 AUX1
H7(H8)	LA02_P(N)	B15	L20:H16(G16)		
G9(G10)	LA03_P(N)	B15	L17:E17(D18)		
H10(H11)	LA04_P(N)	B15	L19:G17(F18)		
D11(D12)	LA05_P(N)	B15	L5:B10(A10)		
C10(C11)	LA06_P(N)	B15	L2:D9(C9)		
H13(H14)	LA07_P(N)	B15	L10:B14(A15)		
G12(G13)	LA08_P(N)	B15	L18:C17(D18)		
D14(D15)	LA09_P(N)	B15	L9:C14(B15)		
C14(C15)	LA10_P(N)	B15	L4:C11(B11)		
H16(H17)	LA11_P(N)	B15	L7:B12(A12)		
G15(G16)	LA12_P(N)	B15	L14:B16(A17)		
D17(D18)	LA13_P(N)	B34	L17:T4(T3)	-- M2C	-- TOD_TERM_EN
C18(C19)	LA14_P(N)	B34	L11:N3(N2)		
H19(H20)	LA15_P(N)	B34	L21:R5(T5)		
G18(G19)	LA16_P(N)	B15	L6:D11(C12)		
D20(D21)	LA17_CC_P(N)	B34	L12:P4(P3)	C2M C2M	TOD_IN PPS_IN
C22(C23)	LA18_CC_P(N)	B15	L14:E16(D16)	M2C	FPGA_WR_CLOCK 62.5MHz WR synchronized clock from FPGA
H22(H23)	LA19_P(N)	B34	L22:R7(T7)		
G21(G22)	LA20_P(N)	B34	L20:U6(U5)		
H25(H26)	LA21_P(N)	B34	L19:P6(P5)		
G24(G25)	LA22_P(N)	B34	L7:M2(M1)		
D23(D24)	LA23_P(N)	B34	L24:V8(V7)	M2C --	TOD_OUT ---
H28(H29)	LA24_P(N)	B34	L6:L5(M5)		
G27(G28)	LA25_P(N)	B34	L1:K6(K5)		
D26(D27)	LA26_P(N)	B34	L4:K3(K2)	-- M2C	-- PPS_TERM_EN
C26(C27)	LA27_P(N)	B34	L3:K2(K1)	--	--
H31(H32)	LA28_P(N)	B34	L22:U7(V6)	-- M2C	-- GM_PLL_RESET
G30(G31)	LA29_P(N)	B34	L2:J5(J4)		
H34(H35)	LA30_P(N)	B34	L14:R3(T2)	M2C M2C	GM_PLL_CS GM_PLL_SCLK
G33(G34)	LA31_P(N)	B34	L18:U4(V4)	C2M M2C	GM_PLL_SDI GM_PLL_SDO
H37(H38)	LA32_P(N)	B34	L5:L4(L3)	M2C M2C	GM_PLL_REFSEL GM_PLL_LOCK
G36(G37)	LA33_P(N)	B34	L13:R2(R1)	M2C	GM_PLL_SYNC

				M2C	GM_PLL_STAT
--	--	--	--	-----	-------------

注 1: FMC 引脚 H4(H5)定义为 CLK0\_M2C, 从子板到载板。 FMC 引脚 G2(3), 在 VITA 57.1-2008 中定义为 CLK0\_C2M, 从载板到子板; 而在 VITA 57.1-2019 中定义为 CLK1\_M2C, 从子板到载板。 为避免冲突, 在 CUTE-WR-A7 的常规固件版本中, **这两对信号都被定义为外部时钟输入。**

Note 1: FMC pair H4(H5) is defined as CLK0\_M2C. FMC pair G2(G3) was defined as CLK0\_C2M (carrier to mezzanine) in VITA 57.1-2008, and has changed to CLK1\_M2C (mezzanine to carrier) in VITA 57.1-2019. To avoid confliction, **both pairs are defined as clock input to Cute-WR-A7.**

注 2: FMC 连接器 LA00\_CC 和 LA01\_CC 引脚提供 AUX 多用途信号 (参考 AUX 通道章节)。 不能用作其它用途! 这两组信号是从 1:2 扇出芯片产生, 并不是直接连接在 FPGA 上。

Note2: The LA00\_CC and LA01\_CC pairs are reserved for AUX signals

注 3: 差分信号对用作两个单端时, 其对应 P 和 N 信号在表中按照上下行分别说明。

Note3: signals are listed in differential pairs. When used as two single-ended signals, the descriptions are separated in two lines, P on top and N on bottom respectively.

注 4: FMC 连接器 LA02 – LA33 信号, 分别接到 FPGA 的 bank15(B15)和 bank34(B34) 。 Bank34 和 Bank15 均为 HR 类型, 可以支持如下的电平标准: *LvCMOS12, LvCMOS15, LvCMOS18, LvCMOS25, LvCMOS33, LVDS\_25* 相关请查阅 Xilinx Artix7 技术文档 [ds181,ug471](#) 来决定不同 IO 电压下这些引脚的电平设定方式。

Note4: the LA02-LA33 pairs are connected to the Bank15 and Bank34 of the FPGA. Both banks are HR type and support the following IO standards: *LvCMOS12, LvCMOS15, LvCMOS18, LvCMOS25, LvCMOS33, LVDS\_25* For more DC feathers please reference to Xilinx Artix7 documents [ds181,ug471](#)

## LVDS DC Specifications (LVDS\_25)

Table 11: LVDS\_25 DC Specifications<sup>(1)</sup>

Symbol	DC Parameter	Conditions	Min	Typ	Max	Units
$V_{CCO}$	Supply Voltage		2.375	2.500	2.625	V
$V_{OH}$	Output High Voltage for Q and $\bar{Q}$	$R_T = 100 \Omega$ across Q and $\bar{Q}$ signals	—	—	1.675	V
$V_{OL}$	Output Low Voltage for Q and $\bar{Q}$	$R_T = 100 \Omega$ across Q and $\bar{Q}$ signals	0.700	—	—	V
$V_{ODIFF}$	Differential Output Voltage: (Q – $\bar{Q}$ ), Q = High ( $\bar{Q}$ – Q), $\bar{Q}$ = High	$R_T = 100 \Omega$ across Q and $\bar{Q}$ signals	247	350	600	mV
$V_{OCM}$	Output Common-Mode Voltage	$R_T = 100 \Omega$ across Q and $\bar{Q}$ signals	1.000	1.250	1.425	V
$V_{IDIFF}$	Differential Input Voltage: (Q – $\bar{Q}$ ), Q = High ( $\bar{Q}$ – Q), $\bar{Q}$ = High		100	350	600	mV
$V_{ICM}$	Input Common-Mode Voltage		0.300	1.200	1.500	V

### Notes:

- Differential inputs for LVDS\_25 can be placed in banks with  $V_{CCO}$  levels that are different from the required level for outputs. Consult the *7 Series FPGAs SelectIO Resources User Guide (UG471)* for more information.

Table 8: SelectIO DC Input and Output Levels<sup>(1)(2)</sup>

I/O Standard	$V_{IL}$		$V_{IH}$		$V_{OL}$ V, Max	$V_{OH}$ V, Min	$I_{OL}$ mA, Max	$I_{OH}$ mA, Min
	V, Min	V, Max	V, Min	V, Max				
LVC MOS12	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	Note 3	Note 3
LVC MOS15	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	25% $V_{CCO}$	75% $V_{CCO}$	Note 4	Note 4
LVC MOS18	-0.300	35% $V_{CCO}$	65% $V_{CCO}$	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	Note 5	Note 5
LVC MOS25	-0.300	0.7	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	Note 4	Note 4
LVC MOS33	-0.300	0.8	2.000	3.450	0.400	$V_{CCO} - 0.400$	Note 4	Note 4

Bank15 的 IO 电压固定为 2.5V，不可调。 Bank34 的 IO 电压可以通过修改 L30 和 L31 电感的进行配置：

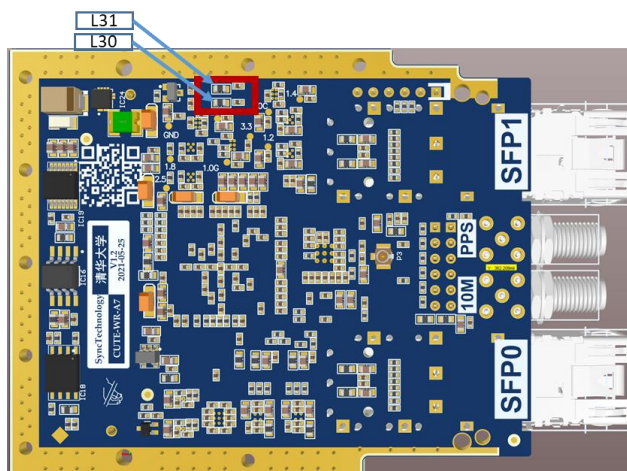
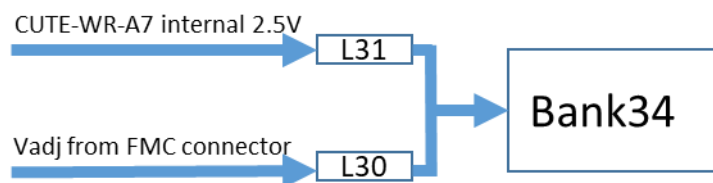
V1.1 的硬件默认焊接 L31，使用 CUTE-WR-A7 内部产生的 2.5V；

V1.2 的硬件默认焊接 L30，使用 FMC 连接器提供的  $V_{adj}$  电压

The reference voltage for Bank15 is fixed to 2.5V; while the reference voltage for Bank34 can be selected by changing the L30 and L31 on CUTE-WR-A7:

V1.1 is soldered with L31, using the internal 2.5V.

V1.2 is soldered with L30, using the  $V_{adj}$  from FMC connector.

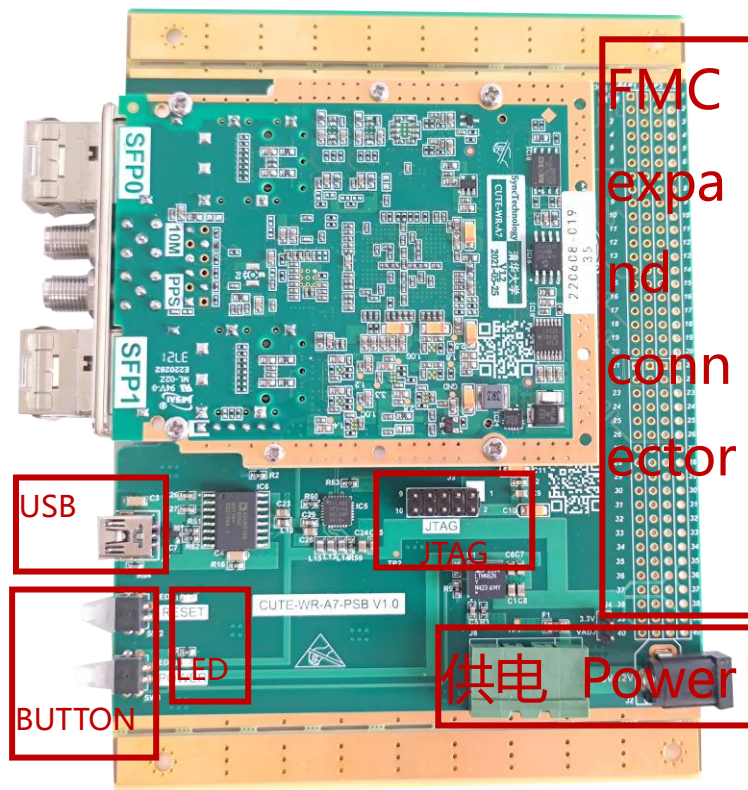


## 供电底板

## Power Supply Board

CUTE-WR-A7 是实现 White Rabbit 节点功能的通用 FMC 标准子卡，必须通过其 FMC 连接器才能对板卡供电，使其正常工作。CUTE-WR-A7 PSB 板可以用于提供 CUTE-WR 子卡信号扇出和外部供电接口，简化 CUTE-WR-A7 子卡测试环境搭建。

As a standard FMC mezzanine, the CUTE-WR-A7 can only be powered through the FMC connector. A CUTE-WR-A7 power supply board can be used to power the mezzanine and fan out the signals on FMC connector to 4-row HDR connector for monitoring.



CUTE-WR-A7 供电底板  
CUTE-WR-A7 Power Supply board

CUTE-WR-A7 PSB 板硬件接口如上图：

As shown here, the CUTE-WR-A7 PSB provides:

➤ 供电接口

CUTE-WR-A7 PSB 板左下提供两种外部供电接口：5.5/2.1mm 圆孔电源头，凤凰端子接头，这两种接头供电信号为并联，采用任何一个均可以实现对 EVB



板供电。供电电压 5-12V，供电能力应达到 10W 以上。

➤ Power connector

CUTE-WR-A7 provides two power connectors: 2.1mm x 5.5mm female jack, or 5.08mm PCB header. Either of the connectors can be used to provide power for the CUTE-WR-A7 with DC voltage between 5-12V and current enough to 10W.

➤ 按键

电源供电板边有两个自锁式按键，分别是电源开关按键和系统复位按键。

➤ Button

Two edge self-lock buttons are for Power ON/OFF and mezzanine reset respectively.

➤ LED

两个 LED 指示灯用作电源和 WR 同步锁定的指示。

Two LEDs used to indicate the power and WR-Lock status.

➤ FMC 信号扩展端口

该端口使用 4 x 40 pin 的标准插针，间距 100mil，分别对应 LPC-FMC 接插件的信号。P1-P4 分别对应 LPC-FMC 接插件的 H, G, D, C 列信号，1-40 分别对应 LPC-FMC 接插件每列的 1-40 个信号。

➤ FMC expand connector

The 4x40 header connector with 100mil distance. The 4 rows correspond to the H,G,D,C rows on LPC-FMC connector.

➤ JTAG 编程端口

CUTE-WR 子卡插入 EVB 板后，在 FMC 连接器上的 JTAG 编程信号被转接到 EVB 板的插座，方便连接编程器。

➤ JTAG connector

The JTAG signals on the CUTE-WR-A7 FMC connector are traced to this 2x5 header that a Xilinx FPGA programmer can be inserted.

➤ Mini USB 接口:

由于 CUTE-WR-A7 面板面积有限，无法再增加 USB 串口连接器。所以在设计时，将板内 LvCMOS 的串口信号接入到板边的单排针连接器 J2。该串口信号接入到底板后，通过 CP2102 将其转换成隔离的虚拟 USB 串口，用于本地配置参数和监控同步状态。

➤ **Mini-USB**

Due to the limited panel space, the UART port for the console is connected to the 1x6 connector J2. Using CP2102 and magnetic isolation, the PSB converts the UART signals on J2 to a Mini USB serial port for management.

CUTE-WR-A7 子模块是通过 FMC 连接器 J1 和板边单排针连接器 J2 共同接入 EVB/PSB 底板，在安装或移除 CUTE-WR-A7 子模块时要注意 J2 连接器。

The J1 and J2 are both applied when the CUTE-WR-A7 is mounted on the EVB/PSB/xxEB, attention must be paid to the J2 when install or remove the mezzanine.

## 连接运行

## Startup

默认情况下，CUTE-WR-A7 配置为 cascaded 模式，即端口 0（WR SFP0）配置为 Slave 功能，端口 1（WR SFP1）配置为 Master 功能。

在对应的端口，分别插入对应的光模块；使用 G652D 单模光纤将该端口和匹配功能的其它 WR 设备连接，上电等待约 30s 后 CUTE-WR-A7 即与相连设备实现时钟同步。可以通过秒脉冲（PPS）输出判断设备间时间同步准确度。

如果仅仅使用 CUTE-WR-A7 互连，那么需要将链路最顶端的 CUTE-WR-A7 的工作模式设置为 master，其它 CUTE-WR-A7 设置为 cascaded。

CUTE-WR-A7 is configured in cascaded operation mode by default, thus SFP0 is slave while SFP1 is master. According to the setup, the slave port should connect with master port of other WR gears, the master port should connect with slave port of other WR gears.

Pair of matched BiDi SFP modules should be used on two sides, link them with a fiber type that matches the specification. Wait about 30 seconds after both sides are powered, then check the LED if the WR link is established and synchronized. Using time-interval-measurement devices like oscilloscope to

measure the PPS signals of both sides to evaluate the synchronization performance of the link.

In case of connecting several CUTE-WR-A7, the first one should be configured as master mode and all others as cascaded.

## SFP 光模块

根据需求，可以使用不同的 SFP 模块。确定 SFP 模块后，需要进行标定，以确定 SFP 模块的延迟参数。推荐使用下表的 SFP 模块，对应的光纤类型为单模 LC/LC G.652.D, OS2 9/125um。

Different SFP modules are supported ((Check [here](#) for compatible SFP modules)). In case the SFP models are not listed, additional calibration must be taken. The SFP modules listed below are recommended for normal applications with a matching fiber type of: SM LC/LC G.652.D, OS2, 9/125um.

	
<p>1310nm-TX/1490nm-RX 20km # 15535 GE-LC-1310 (蓝色, 用于从端, WRN 端) Blue, used in slave port</p>	<p>1490nm-TX/1310nm-RX 20km # 39140 GE-LC-1490 (紫色, 用于主端, 交换机端) Purple, used in master port</p>

## SFP 铜口模块

可以在 SFP 中插入铜口模块，实现千兆网线的接入。但此时该链路不能支持 WR 协议，无法实现高精度时间频率的传递。当对单个节点进行固件更新时，可以使用这种类型的模块和计算机直连。

SFP copper modules can be inserted into the SFP cage to support 1000Mbase-Tx. But the WR protocol **CAN NOT** operate on copper link that the time and frequency distribution is not possible.

## SFP modules

## SFP copper module



## 配置管理

## Management

用户上位机可以通过 USB 接口 (UART 协议, 115200 波特率, 8 位数据位, 1 位停止位, 无奇偶校验 - 115200N81) 对 CUTE-WR-A7 进行配置。CUTE-WR-A7 自身并不提供串口, 需要通过 PSB, EVB 或者其他载板来提供。

The communication parameter used by the USB serial port is (115200 Baud, 8bit data, 1bit stop, no polarity check -- 115200N81 in short) 。 USB serial port is available from the carrier board like PSB / EVB.

### Linux 系统 Under Linux

在 linux 系统下, 端口对应计算机上的不同设备, PC 可以使用类似 minicom、putty 等软件与 WR 设备连接。

使用 minicom 连接的命令示例:

```
sudo minicom -D /dev/ttyUSB0 -b 115200
```

Under Linux environment, those USB ports are mounted as different devices. You can use terminal software such as minicom or putty to visit those devices. The default baud rate is 115200. An example command line like

```
sudo minicom -D /dev/ttyUSB0 -b 115200
```

### Windows 系统 Under windows

下载并安装 Putty 等工具。

插上 USB, 找到 Mini-USB 在 Windows 中对应的串口号, 比如 COM9。打开 Putty, 设置连接参数

To access CUTE-WR-A7 through USB under Windows (XP, Vista, Win7, Win8), download and install Putty.

After Connect the USB cable to CUTE-WR-A7, check the correspond serial

port number in window's "device manager" => "Ports (COM & LPT) " that is required in the Putty configuration.

## 控制台命令

## Console commands

配置过程采用交互式命令行，类似 Linux 中的终端或 Windows 中的 CMD。目前节点支持的命令如下表：

CUTE-WR-A7 provide the following commands:

ver	查看当前版本 Check current firmware version
time	查看当前时间 Check current time
time raw	以秒+纳秒计数形式显示时间 Check current time in sec + nsec counters
temp	查看节点温度 Check temperature.
gui	查看同步状态。请查看“WR 同步状态”章节 Check synchronization status. Refer to “WR status” for details
stat	查看统计信息 请查看“WR 同步状态”章节 Check the status information in line. Refer to “WR status” for details
<p>CUTE-WR-A7 需要读取 SFP 模块的类型信息，以查找匹配相应的延迟参数值。相关的命令如下： The following commands are used to manage the SFP information.</p>	
sfp show	查看当前各端口 SFP 标定参数 Display the current SFP database
sfp erase	清除所有 SFP 标定参数 Clear ALL SFP database
sfp match	查看当前 SFP 的标识符/匹配各端口的标定参数 Check current SFP parameters applied to each port.
sfp add [sfpID] [dTx] [dRx] [alpha] [port]	增加端口的 SFP 标定参数，每个端口能保存四组标定参数 Add SFP type to the database. Each port can store 4 types sfpID: SFP ID, can be read by “sfp match” dTx: fixed delay of transmission dRx: fixed delay of receiving

	alpha: asymmetric value of the fiber port : port number 0/1
<p>CUTE-WR-A7 有多种不同的工作模式，其查看和设定命令如下： CUTE-WR-A7 has different operation modes, refer to "operation mode" :</p>	
mode	查看当前运行模式 <a href="#">Check current operation mode</a>
mode [mode]	修改当前运行模式 <a href="#">Set operation mode</a> slave / master / cascaded / GM /-Parallel
<p>配置 AUX 输出通道的信号格式和参数, 参考 AUX 通道章节 <a href="#">Configure the AUX signal</a></p>	
Aux	查看当前相关的设定 <a href="#">check current setting</a>
auxmux	选择 AUX 通道信号类型 <a href="#">Set the source of AUX channel</a>
auxcfg	设置 AUX 信号源格式 <a href="#">Configure each signal source</a>
auxfdly	设置 AUX 通道精细延迟 <a href="#">Set the fine delay taps of each AUX signal</a>
<p>通过串口控制台能够设定和查看节点的网络地址信息，相关命令如下： <a href="#">Check and set the Ethernet address information</a></p>	
ip	查看双端口 IP 地址 <a href="#">Check IP setting on both ports</a>
ip set [IP-value] [port]	配置端口 IP 地址。默认子网掩码 255.255.255.0 <a href="#">Set the IP address of the selected port with sub-net mask of 255.255.255.0</a>
mac	查看节点固定的 MAC 地址 CUTE-WR-A7 的 MAC 地址为基地址+64bit 1-wire ID。 <a href="#">Check the fixed MAC address (preset base MAC + Unique 64bit from 1-wire ID chip on board)</a>
<p>通过控制台命令进行的修改，例如运行模式，IP 地址等，在设备重启后将丢失。为了保证设备在上电启动后就能够具有正确的参数，可以将需要设定的执行命令写入到启动执行脚本中。脚本只能增加或者擦除，不支持编辑功能；因此如果增加命令的时候产生输入错误，就需要擦除全部脚本并重新增加命令。 <a href="#">Any setting made by commands in the console will lost after power cycle. If those</a></p>	

settings are expected after power up, the correspond command can be added to an initial script that will be executed automatic during power up. There is no edit support for the script, any typo error will require an erase and add all the commands again.	
init show	查看当前启动脚本 Check the initial script
init erase	清除启动脚本 Clear initial script
init add xxxx	增加命令, 命令内容为后面写入的 xxx Add a command "xxx" to the script
init boot	重启软核 Execute the script
调试用命令 Debugging command	
calibration	查看节点 t24p 延迟参数 和 PPS 输入延迟参数 Check the t24p calibration parameters
Calibration force	重新校准端口的 t24p 参数 Force to re-calibrate the t24p value
PTP start [port]	手动启动端口的 ptp 同步进程 start the PTP daemon process manually.
PTP stop [port]	手动关闭端口的 ptp 同步进程 Close the PTP daemon process manually
sdb	查看当前 wishbone 总线上所有的设备
sdb fs 0	格式化 FLASH, 清除全部参数和脚本 Format the FLASH memory, clear ALL parameters and scripts.

## WR 同步状态

## WR status

GUI 和 stat 是用于查看节点同步状态的命令。

"GUI" and "stat" commands are used to check the synchronization status of the node.

GUI 命令将当前 WR 同步的所有参数和状态都清楚的显示出来, 是查看 WR 同步过程的有力工具。该命令每秒刷新一次, 按 Esc 键可以退出刷新显示。GUI 命令主要输出处于 slave 模式的端口信息, 对于 master 模式的端口只显示当前节点时间, 链

路状态, Tx/Rx 数据包计数, IP 地址等有限的信息。

GUI is a monitoring function used to check the WR synchronization status. The information is presented in a clear, auto-refreshing screen (see the figure blow). The information is refreshed at every WR iteration or periodically if nothing else happens (so you see an up-to-date timestamp). The period defaults to 1 second. To exit from this console mode press <Esc>.

the Synchronization status and Timing parameters in gui are available only in the WR Slave port. When the port is running as WR Master, only the current date and time, link status, Tx and Rx packet counters, IP, lock and calibration status are shown.

```
WR PTP Core Sync Monitor a41754c
Esc = exit

TAI Time:                Thu, Jan 1, 1970, 00:09:18

Link status:
wr0: Link up (RX: 816, TX: 483) IPv4: B00TP running(RX PHASE: 14018:1, TX PHASE: 14559:1)
Mode: WR Slave Locked Calibrated

PTP status: slave

Synchronization status:
Servo state:            TRACK_PHASE
Phase tracking:         ON
Aux clock 0 status:    enabled

Timing parameters:
Round-trip time (mu):   942104 ps
Master-slave delay:    511121 ps
Master PHY delays:     TX: 225645 ps, RX: 239507 ps
Slave PHY delays:     TX: 159000 ps, RX: 253000 ps
Total link asymmetry:  -80138 ps
Cable rtt delay:       64952 ps
Clock offset:          3 ps
Phase setpoint:        14020 ps
Skew:                  0 ps
Update counter:        163

Link status:
wr1: Link up (RX: 476, TX: 809) IPv4: B00TP running(RX PHASE: 11287:1, TX PHASE: 606:1)
Mode: WR Master Locked Calibrated

PTP status: master
```

stat 命令以单行的形式输出和 GUI 命令相同的信息, 便于记录和分析。在输出 Stat 信息的同时, 仍然可以输入和执行新的命令。Stat 命令类似一个开关, 每次输入命令都会切换开关状态, 也可以在 stat 命令后加入 “on” 或 “off” 参数来强制打开或关闭 stat 输出。

Stat 命令仅针对处于 slave 模式的节点, 并且在与其与 master 进行同步交互的时候更新输出。Master 节点, Grand master 节点, 或未建立 WR 连接的 slave 节点都没有 stat 输出。

If you want to log statistics from the WRPC operation, it is better to use a stat shell command. It reports the same information as gui, but in a single line,



which is easier to parse and analyze: Unlike gui, the stat command runs asynchronously: you can still issue shell commands while stats are running. You can stop statistics by running stat again. As an alternative to the toggling action of stat alone, you can use “stat on” or “stat off” . Statistics are printed every time the WR servo runs; thus no statistics are reported when the node is running in master and GrandMaster mode, nor when your node is running as slave and the master disappeared.

```
lnk:0 rx:150 tx:881 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942128 dms:511133 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80138 crtt:64976 cko:5 setp:14030 ucnt:312
lnk:1 rx:864 tx:1478 lock:1 ptp:master sec:762 nsec:490341232 hd:19971 md:41960 ad:0 temp: 52.6875 C
lnk:0 rx:150 tx:883 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942125 dms:511131 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64973 cko:2 setp:14030 ucnt:313
lnk:1 rx:869 tx:1483 lock:1 ptp:master sec:763 nsec:490390440 hd:19967 md:41957 ad:0 temp: 52.6875 C
lnk:0 rx:1513 tx:885 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942123 dms:511130 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64971 cko:1 setp:14030 ucnt:314
lnk:1 rx:869 tx:1485 lock:1 ptp:master sec:764 nsec:490218792 hd:19971 md:41959 ad:0 temp: 52.6875 C
lnk:0 rx:1518 tx:888 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942123 dms:511130 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64971 cko:1 setp:14030 ucnt:314
lnk:1 rx:871 tx:1491 lock:1 ptp:master sec:765 nsec:490215736 hd:19968 md:41959 ad:0 temp: 52.6875 C
lnk:0 rx:1520 tx:889 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942123 dms:511130 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64971 cko:1 setp:14030 ucnt:314
lnk:1 rx:873 tx:1492 lock:1 ptp:master sec:766 nsec:490365720 hd:19970 md:41956 ad:0 temp: 52.7500 C
lnk:0 rx:1524 tx:892 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942123 dms:511130 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64971 cko:2 setp:14030 ucnt:315
lnk:1 rx:874 tx:1495 lock:1 ptp:master sec:767 nsec:490321000 hd:19971 md:41959 ad:0 temp: 52.7500 C
lnk:0 rx:1528 tx:894 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942125 dms:511131 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64973 cko:3 setp:14030 ucnt:316
lnk:1 rx:876 tx:1500 lock:1 ptp:master sec:768 nsec:490273256 hd:19972 md:41956 ad:0 temp: 52.7500 C
staln:0 rx:1532 tx:896 lock:1 ptp:slave sv:1 ss:'TRACK_PHASE' mu:942123 dms:511130 dtxm:225645 drxm:239507 dtxs:159000 drxs:253000 asym:-80137 crtt:64971 cko:2 setp:14030 ucnt:317
lnk:1 rx:878 tx:1502 lock:1 ptp:master sec:769 nsec:490317648 hd:19974 md:41960 ad:0 temp: 52.7500 C
```

GUI 命令和 stat 命令输出参数的具体含义如下表:

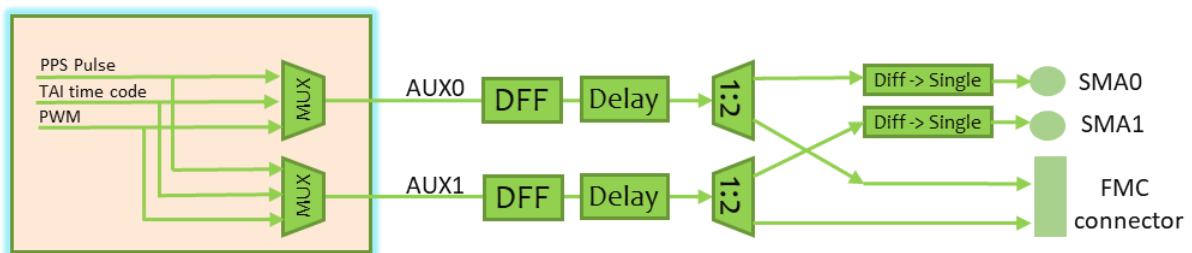
The parameters from GUI/stat are listed below:

TAI Time	Current state of device' s local clock
RX / TX	Rx/Tx packets counters
IPv4	IP address; also whether it is statically configured or acquired via BOOTP (and the status of BOOTP)
mode	Operation mode of the WR port <WR Master, WR Slave>
<Locked, NoLock>	SoftPLL lock state
<Calibrated,Uncalibrated>	Status of PHY calibration; not used anymore
PTP status	Current state of PTP state machine
Servo state	Current state of WR servo state machine - <Uninitialized,SYNC_SEC, SYNC_NSEC, SYNC_PHASE, TRACK_PHASE>
Phase tracking	Is phase tracking enabled when WR Slave is synchronized to WR Master - <ON, OFF>
Aux clock <N> status	Statuses of AUX clocks; one status line per available AUX clock; can contain <enabled>

	and <locked>
Round-trip time ( $\text{delay}_{MM}$ )	Round-trip delay in picoseconds
Master-slave delay ( $\text{delay}_{MS}$ )	Estimated one-way (master to slave) link delay
Master PHY delays ( $dTX_m, dRX_m$ )	Transmission/reception delays of WR Master' s hardware
Slave PHY delays ( $dTX_s, dRX_s$ )	Transmission/reception delays of WR Slave' s hardware
Total link asymmetry	WR link asymmetry calculated as $\text{delay}_{MM} - 2 * \text{delay}_{MS}$
Cable rtt delay	Round-trip fiber latency
Clock offset ( $\text{offset}_{MS}$ )	Slave to Master offset calculated by PTP daemon
Phase setpoint	Current Slave' s clock phase shift value
Skew	The difference between current and previous estimated one-way link delay
Update counter	The value of a counter incremented every time the WR servo is updated

## AUX 信号

## AUX signals



CUTE-WR-A7 产生两路 AUX 输出信号，每路 AUX 信号均可通过多路选择器从三种预设的信号源中进行选择：秒脉冲、绝对时间编码和可配置 PWM

选定类型的 AUX 信号从 FPGA 输出后，经过外部延迟调整，并扇出为两组，其中一组接入到 FMC 连接器，另外一组经过差分-单端转换后连接到前面板 SMA。

Two auxiliary signals are generated from CUTE-WR-A7 for testing or

interfacing with other devices. Three signal sources can be chosen from for each AUX signal: Pulse per second, TAI time code and configurable PWM.

Each AUX signal from the FPGA then passes through a jitter clean DFF, a fine delay chain before reaches the 1:2 fanout; one of the fanout signal presents on the FMC connector while the other one is converted to single-end and presented on the front panel SMA connector.

下述控制台命令用于配置 AUX 通道：

The following console commands are used to configure the AUX signal

➤ `auxmux [channel] [type]`

该命令用于选择每个 AUX 通道的信号类型

Set the source of AUX channel

<code>Channel :</code>	AUX channel	0/1
<code>Type :</code>	AUX signal source	0: PPS /1: TAI time / 2: PWM

➤ `auxcfg [type] [cdly] [high] [low]`

该命令用于调整 FPGA 内部产生的三种输出信号源格式

Configure each signal source

`type :` signal source 0: PPS / 1: TAI time / 2: PWM

`cdly :` 粗延迟参数, 步长 2ns, 设置范围 0-499999999  
coarse delay, 2ns step, range 0-499999999;

`high :` 高电平持续时间, 步长 2ns, 设置范围 0-499999999  
high level period; 2ns step, range 0-499999999

`low :` 低电平持续时间, 步长 2ns, 设置范围 0-499999999  
low level period; 2ns step, 0-499999999

对于三种信号类型, 需分别配置不同的参数:

Different parameters are required for each signal source.

秒脉冲: 配置粗延迟, 高电平持续时间

PPS: coarse delay, high level period should be configured

绝对时间编码: 配置粗延迟

TAI time: coarse delay should be configured

定制 PWM: 配置粗延迟、高/低电平持续时间; 高低电平持续时间之和为信号周期, 不应小于 8 (对应最小周期为  $8*2=16ns$ )

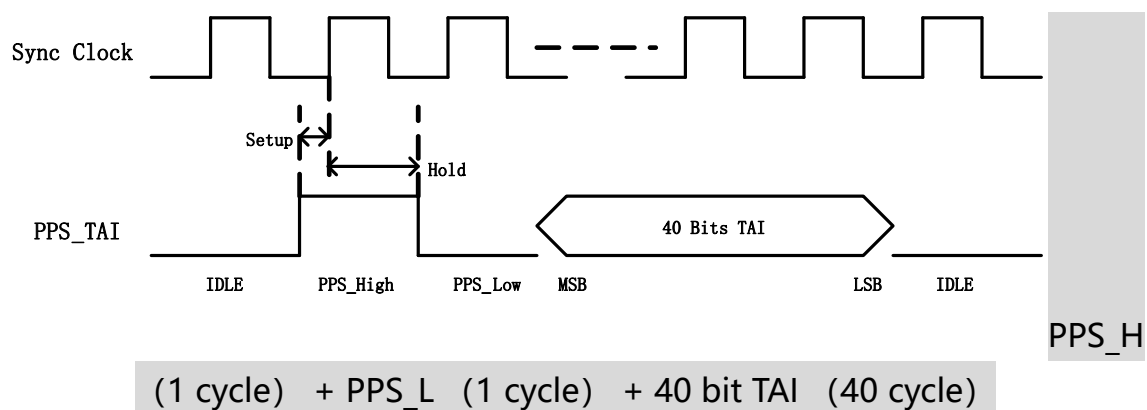
PWM: coarse delay, high and low period should be configured.  
Note that the minimal period of PWM is 16ns, that means sum of high and low period should be bigger than 8.

- `auxfdly [channel] [fdelay]`  
 该命令用于设置每个 AUX 通道信号的精细延迟  
 Set the fine delay taps of each AUX signal  
 Channel:           AUX channel           0/1  
 fdelay:            fine delay taps, step 11ps, range 0-511
- `aux`  
 该命令返回当前相关的设定  
 Return the current AUX settings

## 时间编码 TAI Timing signals

CUTE-WR-A7 提供 125MHz 或 10MHz 同步时钟、PPS 秒脉冲信号和 TAI 时间，为了节省引脚资源，PPS 信号和 TAI 时间进行合并成绝对时间进行串行编码后发送给板卡：

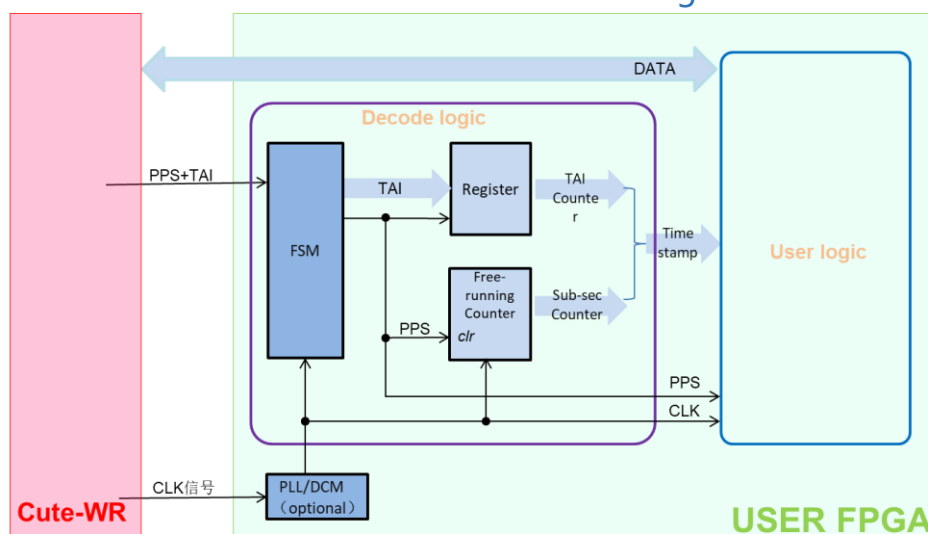
CUTE-WR-A7 provides 125MHz synchronized frequency, PPS signal and TAI information. The PPS and TAI are serially encoded into one “PPS\_TAI” signal to reduce the signals, as shown below.



绝对时间的串行编码信号可以通过 AUX 通道的前面板 LEMO/SMA 接口和 FMC 连接器输出。应用时，用户端应有逻辑对上述编码信号进行解码，并还原出 PPS 信号和 TAI 时间编码，其基本逻辑结构如下图所示（左侧为 CUTE-WR-A7，右侧浅绿色为用户端的逻辑处理部件）：

PPS\_TAI time code can be sent out as AUX signals through the SMA or

FMC connectors. Decode logic are required on the receiver side to recover the PPS and TAI time. The structure of the decode logic is as below:



用户端使用 CUTE-WR-A7 提供的 CLK0\_M2C\_P(N)/GBTCLK0\_M2C\_P(N)/可配置 PWM 信号作为系统时钟，也可以用 PLL/DCM 进行进一步处理。PPS\_TAI 信号和 Sync-clock 源端对齐，其编码的起始脉冲 PPS\_H 周期对应的上升沿即代表了 TAI 的整秒时刻，可以以此恢复出标准 PPS 信号；后续的 40bit 串行编码可以恢复出当前时刻的 TAI 计数。用户端使用系统时钟维护一个亚秒时间计数器，当恢复出 PPS 信号的时刻将该亚秒计数器清零。这样在用户端即可获得同步系统时钟，PPS 信号以及 {TAI 计数器&亚秒计数器} 合并得到的完整时间戳。上述用户端解码逻辑可以参照示例代码 `fmc_timer.v`

Decode logic can get the CLK0\_M2C/GBTCLK0\_M2C/ configurable-PWM as the sys-clock, or using PLL/DCM for further synthesise. The PPS\_TAI is source aligned with those sys-clock, the rising edge of the starting PPS\_H pulse represents the exact moment of the new TAI second, the PPS can then be reconstructed accordingly; the following 40 serial bits give the TAI count value of current second. Inside the decode logic, a sub-second counter is driven by the sys-clock and cleared when the reconstructed PPS is valid, a timestamp can be achieved by attaching the TAI counter and the sub-second counter. User logic can receive the sys-clock, reconstructed PPS and timestamp from the decode logic. A sample code of the decode can be found in the `fmc_timer.v`

# 升级固件

# Firmware updates

CUTE-WR-A7 的固件是指板上 FPGA 的编程文件, 该固件可以通过网络连接的方式进行远程更新。

保证进行升级操作的计算机能够通过网络连接正常访问需要升级的 CUTE-WR-A7 模块。该连接不需要保证兼容 WR 协议, 可以使用网线和铜口 SFP 来建立连接。

如果配置了 WRS 交换机, 那么升级计算机应该连接在 WRS 交换机的 1-18 端口所在的网络, 不应该连接在 WRS 交换机管理端口所在的网络。如果没有 WRS 交换机, 那么升级计算机可以直接连接 CUTE-WR-A7 模块。

计算机的 IP 地址应该和待升级的 CUTE-WR-A7 的 IP 地址在同一个网段, 计算机能够正确接收到 CUTE-WR-A7 的 ping 回复。

The firmware stored for the FPGA on the CUTE-WR-A7 can be remotely updated through the network.

The computer running the update should be in the same network subnet to guarantee its access to the CUTE-WR-A7. No WR synchronization is required during the update thus the SFP copper module and network cable can be applied.

If WR Switches are in between the computer and the CUTE-WR-A7, make sure the computer is inside the 18 WR ports network domain BUT NOT the management port network domain.

Make sure the CUTE-WR-A7 can reply the ping request from the computer, the device can not be power off during the update.

## 使用 Python 批处理 With Python Batch file

在计算机上下载并安装 python2.7 及以上版本, 并预先下载需要升级的固件镜像文件, 和远程更新批处理文件。

Prepare the python2.7, download the firmware bitstream file and the update batch script files.

- CUTE-WR-A7-xxx.bin (the latest Firmware bitstream file)
- program\_WR\_node.py

用记事本等工具打开 program\_WR\_node.py, 将文件中的 UDP\_IP 端修改为待

更新的 CUTE-WR-A7 的当前 IP 地址。

用管理员身份在终端窗口中运行 `python program_WR_node.py`, 等待几分钟后即可完成更新。断电重启, 通过 `ver` 命令检查是否更新成功。

Modify the `UDP_IP` field in the `program_WR_node.py` to the current IP address of the CUTE-WR-A7 that to be updated. Run the update script in the terminal with administrator, wait until the script exits. Power cycle the CUTE-WR-A7 and check with `ver` command.

```
#!/usr/bin/python
# -*- coding: utf-8 -*-
from remote_update import *
def main():
    MY_IP = "192.168.0.1"
    UDP_IP= "192.168.0.205"
    filename = "./mini_wr_udp_elf.bin"
    program_wr_mini(MY_IP,UDP_IP,filename)
if __name__ == '__main__': main()
```

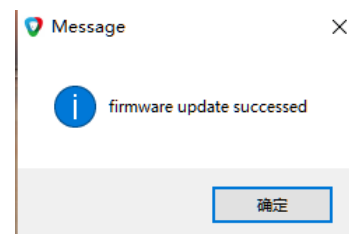
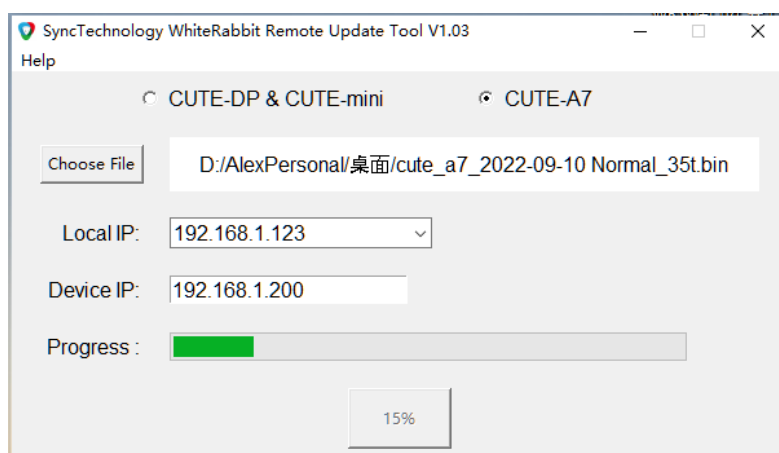
```
python version is 2.7.15
Flash Erase start
Flash Erase done!
Complete:
..0
..5
..10
..15
..20
..25
..30
..35
..40
..45
..50
..55
..60
..65
..70
..75
..80
..85
..90
..95
..100
Program Success!
```

## 使用 GUI 工具

## With GUI

该 GUI 工具仅在 windows 操作系统环境下使用。

This tool is only used under windows environment. Set the correct IP address of local computer and the CUTE-WR-A7, choose the bitstream file then the update can be started. Be patient until it is done.



Cute-WR-A7 在焊接完成后，会进行出厂测试和初始设置。如果因为误操作导致板卡的 FLASH 内容丢失，或者在更新固件后，请按如下步骤恢复初始设置。

Initial setup may be lost by the update process or incorrect operations, and can be recovered with the following steps:

1: 设置 t24p 参数 `calibration the t24p parameters`

该过程用于刻度板卡自身的时钟相位延迟，需要预先校准。该校准过程通过将待设的 SFP 端口作为 slave，连接到任意的 WR master 即可完成。这个参数是 WR 同步过程中必不可少的，即使设备仅仅用作 master，也必须正确配置该参数，因此也需要进行校准。

为了解设备是否已经设置了该参数，可以输入 `calibration` 命令，如果报告的值远远超过 15000ps，则说明该设备对应的端口需要进行校准。

WR devices need to make a calibration of t24p phase transition value. It has to be done only once for a new bitstream and is performed automatically when it runs in the Slave mode. That is why it is very important, even if the device is only meant to run in the Master mode, to configure it to Slave for a moment and connect to any WR Master. This has to be repeated every time a new bitstream is deployed. The measured value is automatically stored to Flash/EEPROM and used later in the Master or GrandMaster mode. Check the t24p parameters by running the "calibration" command, if the reported value is far differed from 15000ps that a calibration is required on the port.

下面示意的 Port1 的 t24p 参数就是不正确的。

T24p on port1 shown below is incorrect and needs calibration.

```
wrc# calibration
Port 0 Found phase transition in EEPROM: 15150ps
Port 1 Found phase transition in EEPROM: 2147483647ps
```

设置步骤如下： the calibration steps are listed below:

- 通过 `mode slave` 命令，将两个端口都设置为 slave 模式  
Using "mode slave" command to set both ports to slave mode
- 将 WR port0 连接到任意 WR master 设备，在双方进行链接的过程中，自动完成 t24p 参数的测量和存储。

Connect WR Port0 to any WR master port, the t24p parameter is measured and stored during the link establishment.

```
Port 0 PTP start
wrc# port 0 SFP not matched!
port 0 t24p read from storage: 2147483647 ps
Port 0 PTP start
Port 0 Updating t2/t4 phase transition...
```



*Wrote new t24p value: 15250 ps (Success)*

- 将 SFP0 的光模块取出并插入到 SFP1 端口，连接光纤，重复该过程  
move the SFP module from WR port0 to port1, repeat the link establishment progress.
- 再次执行 calibration 命令，查看两个端口参数，应均在 15000ps 左右  
Run the calibration command, check the t24p parameters on both ports.

## 2: 设置启动脚本

CUTE-WR-A7 默认的启动配置可以通过设置启动脚本来实现。例如下面的命令设置节点启动后的工作模式为 cascaded，静态 IP 地址为 192.168.1.23。

Scripts stored will be lost and need to be added again. Normally the mode setting and IP setting are required.

```
wrc# init add mode cascaded  
wrc# init add IP set 192.168.1.23 0
```

## 数据传输

## Data transmission

---

WR 技术兼容 1000Base-BX 标准，提供精确时钟的同时还能完成基于以太网的数据交换。本章节的所有数据传输功能模式均由 CUTE-WR-A7 单独提供，并非 WR 标准功能。

WR is compatible with 1000Base-BX, it is a standard ethernet link besides providing the precise clock signal. Please contact SyncTechnology for more details if data transmission through CUTE-WR-A7 is required.

## 延迟标定

## Calibration

---

详细标定流程请参见《WR 延迟设置与延迟标定》。

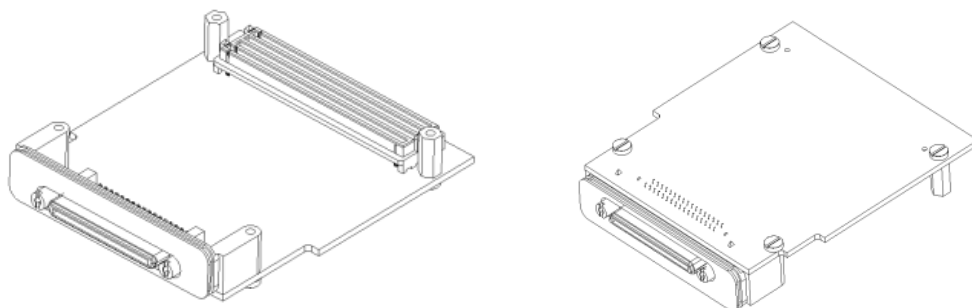
Please reference to the [“calibration manual”](#) .

# 附录 A: VITA57.1 FMC 机械设计

## FMC 尺寸

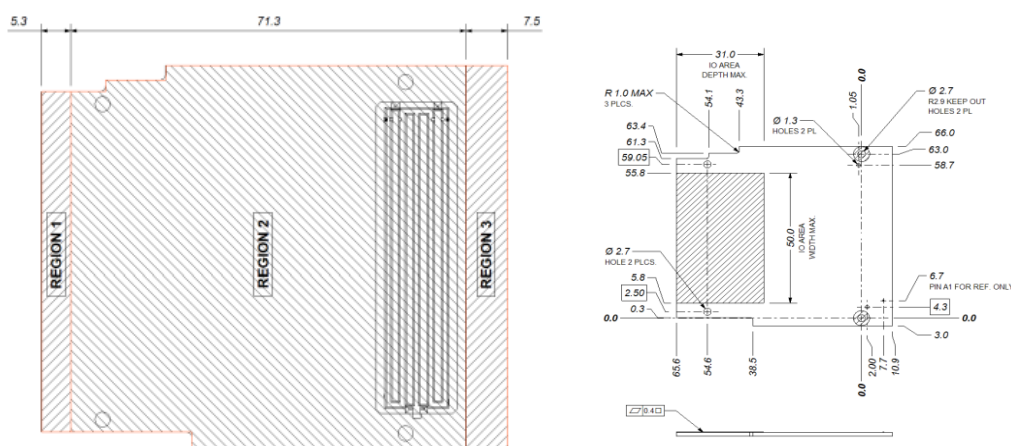
## Mezzanine Dimension

单宽 FMC 模块宽度为 69mm。下图是典型的单宽商业级 FMC 子卡例子。



PCB 板上安装有 FMC 连接器的一面标记为 A 面，另一面记为 B 面。

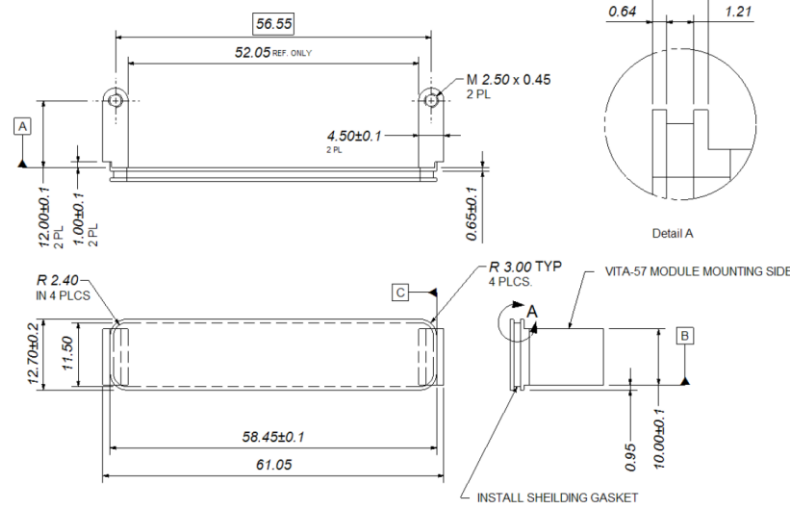
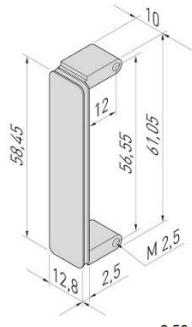
FMC 子卡定义了三个区域。这就使得子卡可以有不同但相互兼容的设计，以便模块适应不同的应用环境。单宽度 FMC 子卡（包括 CUTE-WR-A7）只使用 1 区和 2 区。下图为子卡的机械尺寸。



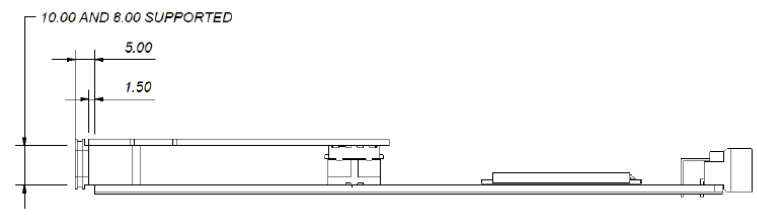
## FMC 面板

## Mezzanine panel

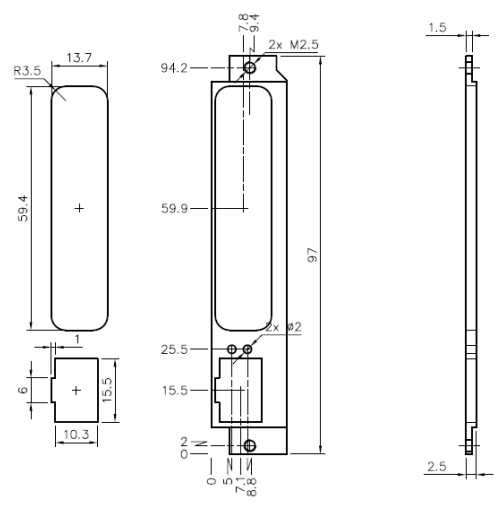
根据 FMC 的标准，FMC 模块会提供和模块匹配的前面板；载板的面板只提供一个标准尺寸的 FMC 模块面板的安装空间，这样载板可以更换不同的 FMC 模块。如下图所示：



FMC 模块和载板的安装高度如下:



推荐的载板面板尺寸如下图:



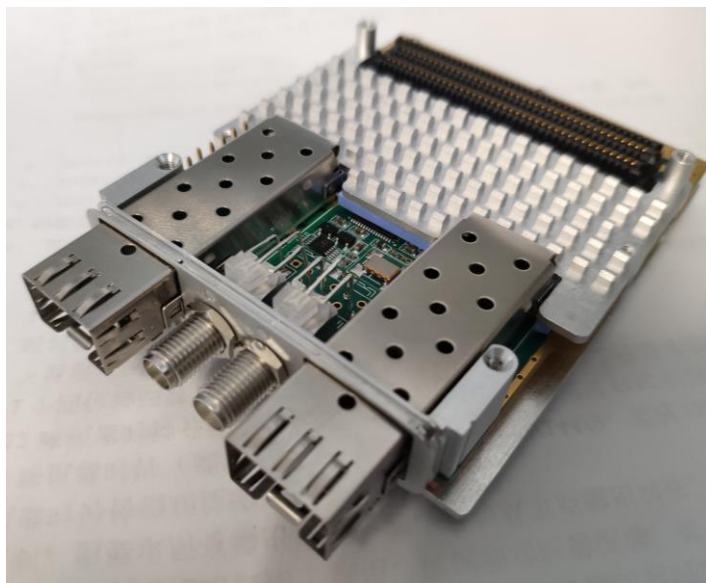
## FMC 模块散热

(本节图片来自网络, 仅供示意, 版权归相应公司所有)

## Heat dissipation

Pictures are only for reference

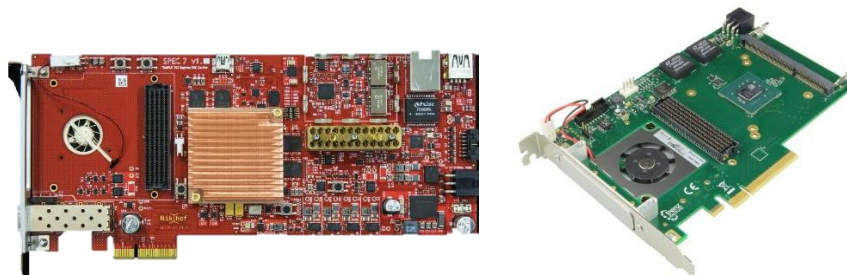
FMC 板卡面积较小，模块上集成了高性能 FPGA，高性能时钟处理电路，使用了大量高速差分信号处理芯片，整体功耗较大。FMC 板卡提供一体式定制散热器，将 FMC 模块热量均匀的传导到散热器表面。



但由于 FMC 子板是扣在载板上，该散热器被夹在子板和载板之间，对 FMC 子板的散热不利，需要 FMC 载板提供一定的辅助散热支持。

通常有以下几种做法：

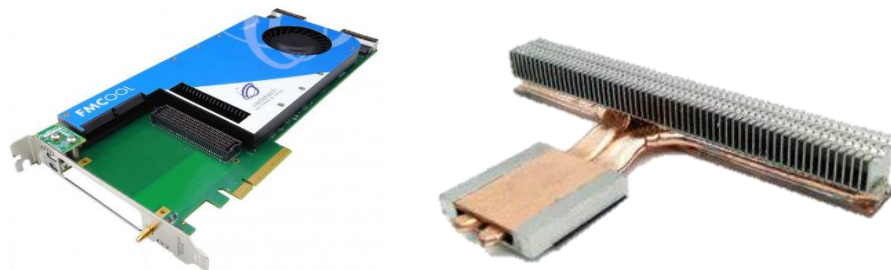
1：载板在 FMC 对应安装位置提供散热风扇，例如下图的 FMC 载板。这种方式要求载板底部对应位置不能放置任何电路元件，并需具有良好的通风环境。由于风扇运转会带来低频的机械振动，对高性能的时钟抖动指标不利。



2：采用加固导冷散热方式。通过机械结构，采用导热紧固滑块等将 FMC 模块的散热器结构和整个底板的散热结构融为一体。这种方式通常用于航空航天和军工等场合。



3: FMC 模块散热器内置扁平式热管, 能够将热量充分导出。热管末端再连接其他散热块, 通过接触或空气进行散热。热管有不同长度, 并且能够折弯改变角度, 末端连接的散热片或散热块可以灵活定制尺寸。这种模式能够提供很好的散热性能, 但要求载板提供机械安装配合和主动空气散热风扇, 并且对 FMC 模块的安装拆卸过程也会带来影响。



## FMC 载板设计要求

## FMC carrier board

建议载板综合考虑, 预留足够的 PCB 位置和安装空间, 能够支持后续采用不同来改善 FMC 模块的散热。

1: FMC 载板应提供标准的 FMC 子卡安装位置, 在该区域 (即从载板的 FMC 连接器到板边缘区域) 不布置任何元器件; 敷设大面积铜层, 并去除表面阻焊层; 载板将该区域铜层作为散热盘进行处理, 通过大量的导热过孔连接到载板的内电铜层, 利用载板较大的电路面积来辅助散热。

2: 在 FMC 模块两侧, 至少保证有一侧保留 30mm 的区域用于安装和引出导热管, 该区域不安排其它板卡, 不摆放具有一定高度的器件 (电解电容, 接插件等), 不靠近外壳, 没有其他机械结构。



# 附录 B: VITA57.1 FMC 信号设计指导

*本附录内容节选自《ANSI/VITA 57.1-2019》，不尽或有冲突之处，以原始标准文档为准。  
本节内容仅包含使用 LPC 的设计要求，HPC 部分请参考原始标准文档。*

**注意 5.3:** 名称中带有“C2M”的信号由母板驱动、IO 子卡接收

**注意 5.4:** 名称中带有“M2C”的信号由 IO 子卡驱动、母板接收

**注意 5.5:** 差分信号对中名称后缀带有“\_P”的，表示该信号为差分信号的正信号端

**注意 5.6:** 差分信号对中名称后缀带有“\_N”的，表示该信号为差分信号的负信号端

**注意 5.7:** 对于后缀带有“\_L”的单端信号，“PRST\_M2C\_L”和“TRST\_L”表明该信号低电平有效。

**建议 5.1:** 就设计目的而言，后缀带有“\_CC”字样的信号应作为时钟源同步的首选信号，并应连接到 FPGA 引脚上。

**GBTCLK0\_M2C\_P, GBTCLK0\_M2C\_N, GBTCLK1\_M2C\_P, GBTCLK1\_M2C\_N-**用作差分数据参考时钟的差分对

**DP[0..9]\_M2C\_P, DP[0..9]\_M2C\_N, DP[0..9]\_C2M\_P, DP[0..9]\_C2M\_N-** 这些信号构成了大于 10Gb/s 的收发数据对。

**GA[0..1]** -这些信号提供了模块的地理寻址，并用做 I2C 的通道选择。

**VREF\_A\_M2C** – 该引脚提供区域 A 的数据引脚 (LA<sub>xx</sub> 和 HA<sub>xx</sub>) 所使用的信号标准的参考电压。如果区域 A 的信号标准并不需要使用参考电压，那么该引脚可以悬空。

**3P3VAUX** - 3.3V 辅助电源

**VADJ** –这些引脚连接一个可调电源，由母板为 IO 子卡供电。

**3P3V** –这些引脚提供母板为 IO 子卡提供的 3.3V 电源。

**12P0V** – 这些引脚提供母板为 IO 子卡提供的 12V 电源。

**TRST\_L** - JTAG Reset 该信号用作 IO 子卡上的 TAP 控制器的异步初始化。

**TCK** - JTAG Clock.该信号为 TAP 控制器提供独立的时钟参考信号

**TMS** - JTAG Mode Select. 该信号用作 IO 子卡上的 TAP 控制器的状态控制

**TDI** - JTAG Data In. 该信号用来将测试数据和指令的串行写入 IO 子卡

**TDO** - JTAG Data Out 该信号用作将测试数据和指令的串行读出 IO 子卡

**PRST\_M2C\_L** -模块存在信号。该信号允许母板判断 IO 子卡是否存在

**PG\_C2M** –母板电压正常信号。当电源 (VADJ,12P0V,3P3V) 在许可范围内时，该

信号为高电压。

**SCL**- 系统管理 I2C 总线串行时钟。该信号提供了从主板到 IO 子卡的时钟参考信号，使用双线串行总线。

**SDA** -系统管理 I2C 总线串行数据。该信号为双线串行管理总线提供了数据线。

## 用户定义的引脚

本规范定义了主板和 IO 子卡之间可由用户定义的接口的引脚数。利用 FPGA 上 IO 编程的灵活性，这些用户定义的引脚可以支持差分 and 单端信号。这使得这些引脚对于不同的 I/O 标准可以重新利用，并有助于最大限度地减少所需的物理连接器的尺寸。本规范的目的是为了定义可以同时被高、低引脚数接口支持的，用户定义的引脚数量。

用户定义的引脚：

**LA[00..33]\_P, LA[00..33]\_N** - 差分信号。

**规则 5.3:** 带有 'LA' 或者 'HA' 前缀的引脚使用与 'A 区' 相关的信号标准，并可以使用 'VREF\_A\_M2C' 引脚上的参考电压。

**规则 5.8:** 低引脚数连接器支持 68 个用户自定义的单端信号或者 34 个用户自定义的差分信号对。

**规则 5.9:** FMC 子卡 A 区的用户自定义信号必须可以承受的信号电压变化范围为-300mV 到 VADJ +300mV。

**规则 5.10:** 主板和子卡在 A 区的用户自定义信号引脚上均不得产生超出-300mV 到 VADJ +300mV 范围的信号电压。

**建议 5.3:** 当信号布为差分对时，每一对信号应该有 100Ω (+/- 10%) 的差分阻抗。

**建议 5.4:** 当信号为单端信号时，每路信号应提供 50Ω (+/- 10%) 的阻抗。

**注意 5.8:** 为了最大程度的提高子卡和母板的兼容性，应该首选 LVDS 和 LVTTTL 信号标准。

## 差分参考时钟

有四个参考时钟，它们组成了主板和 IO 子卡之间的一条总线。这些时钟汇流排成差分对。

**注意 5.11:** 有两个时钟信号 (CLK0\_M2C, CLK1\_M2C) 在低引脚数连接器中定义使用。

*在 HPC 定义中，存在 CLK[2..3]\_BIDIR 两组时钟，可以由 CLK\_DIR 引脚来定义其时钟信号的方向。*

**规则 5.18:** 时钟信号 CLK0\_C2M, CLK1\_C2M 由主板驱动，IO 子卡接收。

**规则 5.19:** 时钟信号 CLK0\_M2C, CLK1\_M2C 由 IO 子卡驱动，主板接收。

**规则 5.20:** CLK0\_C2M, CLK0\_M2C, CLK1\_C2M, CLK1\_M2C 必须使用 LVDS 信号标准。

**规则 5.21:** 所有的时钟信号引脚没有连接相应信号时, 都应接对应的逻辑 '0' 信号。后缀带有 '\_P' 的信号应连接逻辑 '0', 后缀带有 '\_N' 的信号应连接逻辑 '1'。

**规则 5.22:** 时钟信号线路必须提供  $100\Omega$  ( $\pm 10\%$ ) 的差分阻抗。

**规则 5.23:** 每个差分时钟对的差分长度不匹配度至多为 11ps。

**规则 5.24:** 时钟信号 CLK0\_M2C 和 CLK1\_M2C 的最大周期抖动为 1ns。

**规则 5.25:** 时钟信号 CLK0\_M2C 和 CLK1\_M2C 的最大循环抖动为  $\pm 150\text{ps}$ 。

**建议 5.5:** 时钟信号 CLK0\_M2C 和 CLK1\_M2C 应当连接至母板 FPGA 的最优引脚, 例如专用的时钟引脚。

## 千兆位接口

本规范定义了母板和 IO 子卡之间的传输速率高达 Gb/s 的数据接口。本规范力图支持高达 10Gb/s 的千兆位接口。千兆位接口带有 “DP” 前缀, DP 信号使用的相关参考时钟有 “GBTCLK” 前缀。

**规则 5.26:** DP[0..9]\_M2C 由 IO 子卡驱动, 母板接收。

**规则 5.27:** DP[0..9]\_M2C 应连接到母板 FPGA 的自适应均衡 IO 收发器输入端。

**规则 5.28:** DP[0..9]\_C2M 信号由母板驱动, IO 子卡接收。

**规则 5.29:** DP[0..9]\_C2M 应连接到母板 FPGA 的自适应均衡 IO 收发器输出端。

**规则 5.31:** 所有的 DP[0..9]\_C2M 信号都直接连接到母板 FPGA 的引脚上。母板的这些信号不得连接其它任何设备。

**规则 5.32:** 所有 DP[0..9]\_M2C 信号必须在母板上使用外部耦合信号或者 FPGA 内部信号进行 AC 耦合

**规则 5.33:** 母板为 DP[0..9]\_M2C 信号提供的 AC 耦合电容最小为 75nF, 最大为 200nF。

**规则 5.42:** 千兆数据对线路必须提供  $100\Omega$  ( $\pm 10\%$ ) 的差分阻抗。

**规则 5.43:** 每个差分数据对的差分长度不匹配度为 1ps。

**注意 5.14:** 如果要求运行速度大于 3.125 Gb/s, 就需要消除短截线。

## 千兆位的参考时钟

为了支持千兆位 IO 接口, 通常需要参考时钟, 以便确定数据传输速率。

**GBTCLK0\_M2C\_P, GBTCLK0\_M2C\_N**—用作时钟信号的差分对, 由 IO 子卡驱动, 母



板接收。该信号用作差分数据的参考时钟。

**规则 5.44:** IO 子卡必须为千兆位接口提供参考时钟 (GBTCLK)。这些时钟信号布线时必须设置为差分对。

**规则 5.45:** 参考时钟 (GBTCLK) 必须使用 LVDS 信号标准。

**规则 5.48:** 时钟线路提供  $100\Omega$  ( $\pm 10\%$ ) 的差分阻抗。

**忠告 5.1:** GBTCLK 信号应连接至母板 FPGA 的专用时钟引脚, 这些引脚与千兆位数据对相关。

## JTAG 设计需求

**规则 5.50:** 母板必须保证独立缓冲的 TCK 信号都能输入到各自的子卡。

**规则 5.51:** 子卡在 TMS 信号上应当只有一个负载。

**规则 5.52:** 当 FMC 子卡没有插入到母板时, 母板应当直接将 TDI 引脚连接至 TDO 引脚。

**规则 5.53:** 当 FMC 子卡不使用 JTAG 接口时, 该模块应直接将 TDI 引脚连接至 TDO 引脚。

**忠告 5.2:** PRSNT\_M2C\_L 应当用来检测子卡是否存在, 并用来控制 TDI 信号的转换。TDI 信号通常会直接连接到 TDO 信号, 这样就绕过了子卡并保证了 JTAG 回路的完整性。

**注意 5.16:** 对于(与系列规则相符合)的 IO 子卡, JTAG 是可选项, 非必须。

**规则 5.57:** FMC 子卡的 JTAG 信号必须使用 LVTTTL (3.3V) 电平。

**规则 5.58:** 母板不得将连接至子卡的 JTAG 信号驱动至超过 LVTTTL 电平。

**规则 5.59:** IO 子卡不应将连接至母板的信号驱动至超过 LVTTTL 电平。

## I2C 设计规范

**规则 5.60:** IO 子卡必须提供板上 EEPROM, 并使之与 I2C 总线信号通过接口相连。

**注意 5.17:** EEPROM 用来存储与 IO 子卡特征有关的信息。

**规则 5.61:** EEPROM 由 3P3VAUX 信号供电。

**规则 5.70:** 子卡必须使用 GA0 和 GA1 来确定非易失性存储设备 EEPROM 和可选设备的地址。地址译码时应当遵循表 10 所列的地址。

**规则 5.72:** 母板应当直接将 GA[0]和 GA[1]引脚连接到 3V3PAUX 电源或者地信号。

**注意 5.19:** 子卡可能需要在 GA[0]和 GA [1]引脚上放置限流电阻。

## PRSNT\_M2C\_L 信号

保证载体卡成功地检测 IO 子卡是否安装。

**规则 5.74:** IO 子卡应当将本信号接地。

**规则 5.76:** 主板应当分析 PRSNT\_M2C\_L 信号以确认 IO 子卡是否安装。

## 电源正常信号

PG\_M2C 和 PG\_C2M 信号标识着表 11 和表 12 中的信号是否在误差允许范围内, 以保证系统稳定运行。

**规则 5.77:** PG\_M2C 和 PG\_C2M 必须采用 LVTTTL 信号标准。

**规则 5.78:** 主板必须为每个 PG\_M2C 和 PG\_C2M 信号与 3P3V 信号之间提供 10KΩ 的上拉电阻。

**规则 5.79:** 当电源信号 VADJ, 3P3V, 12P0V 和 3P3AUX 不满足本规范时, 主板必须驱动 PG\_C2M 为低电平。当这些信号满足本规范时, 主板必须驱动 PG\_C2M 信号为高电平。

**注意 5.20:** 在操作过程中当电源超出本规范时, 子卡和主板应当采取适当的措施进行处理。

## 电源要求

本规范提供三个主要的电源: VADJ, 3P3V 和 12P0V。设计时, 应当使三者作为各自独立的线路。电压由主板提供给 IO 子卡。设计时, 模块的主要电源可以由三者中的一个或多个共同提供。

电源	允许的电压范围	引脚数目	最大电流	允许的偏差
VADJ	0 – 3.3V	2	2	+/- 5%
VREF_A_M2C	0 – VADJ	1	1mA	+/- 2%
3P3VAUX	3.3V	1	20mA	+/- 5%
3P3V	3.3V	4	3	+/- 5%
12P0V	12V	2	1	+/- 3%

**表 12. 低引脚数连接器的电源供应**

FMC 连接器提供 VADJ 的目的在于最简化 FMC 子卡的电源管理, 这样, 模块上有限的空间就能充分用来实现 I/O 功能, 并能将模块上电源模块产生的噪声最小化。由于有一系列 I/O 接口存在, 很难找到一个无需转换就能满足模块上所有设备需求的电源。因此, 可以从主板获取预处理的电源以及 IPMI 定义的电源, 这一电源获取的灵活机制成为了简化系统设计的有力工具。

**规则 5.85:** IO 子卡必须使用三个电压源——VADJ, 3P3V, 12P0V 的适当组合以适应设计要求。

**建议 5.8:** 要想使主板和 FMC 子卡获得最大程度的匹配, 主板必须为每个信号提供表 11 和表 12 中规定的最大电流。

- 规则 5.86:** 主板厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所能提供的电流。
- 规则 5.87:** 主板厂商必须在自己的产品信息中包含 VADJ 电源所能提供的电压值。
- 规则 5.88:** 模块厂商必须在自己的产品信息中包含 VIO\_B\_M2C, VREF\_A\_M2C 和 VREF\_B\_M2C 电源所能提供的电流。
- 规则 5.89:** 模块厂商必须在自己的产品信息中包含 VADJ 电源所要求的电压值。
- 规则 5.90:** 模块厂商必须在自己的产品信息中包含 VIO\_B\_M2C, VREF\_A\_M2C, VREF\_B\_M2C 电源所能提供的电压值。
- 规则 5.91:** 模块厂商必须在自己的产品信息中包含 VIO\_B\_M2C, VREF\_A\_M2C, VREF\_B\_M2C 电源所能提供的电流值。
- 规则 5.92:** 模块厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所使用的电流值。
- 规则 5.93:** 子卡功率不得超过 10W。如果系统有能力消耗掉产生的功率的话, 子卡允许产生多于 10W 的功率。
- 规则 5.94:** 子卡供应商应当在自己的产品信息中包含子卡的最大热耗散。
- 许可 5.7:** 主板可以提供小于本规范的电流, 也支持低于 10W 的热耗散, 这些都应在产品信息中清晰的标示。
- 规则 5.96:** 低引脚数连接器应当分配 2 个引脚给 VADJ 电源。
- 规则 5.97:** 总共应分配 4 个引脚给 3P3V 电源信号。
- 规则 5.98:** 总共应当分配 4 个引脚给 12P9V 电源信号。
- 注意 5.23:** FMC 高速连接器引脚电流为 2.7A。不过, 本规范会使用 1A 的降额因子。
- 建议 5.9:** IO 子卡应当包含一个内部电源控制系统, 在外部电源稳定之前, 这个系统使子卡保持在复位状态。对于很多系统, 这个保持时间为 200-500ms。

## 电源上电顺序

- 注意 5.24:** 主板可以在任意的上升时间供电, 并提供不同电源之间的排序。
- 规则 5.99:** 当所有的电源都在允许范围内时, 主板和子卡应当认为电源是稳定的。
- 规则 5.100:** 3P3V、12P0V 和 VADJ 电源在上升阶段必须单调上升。

## 3.3V 辅助电源

**3P3VAUX** - 供 IO 子卡使用的 3.3V 辅助电源。3P3VAUX 不作为模块的主电源，而是用来匹配系统的管理功能，而该功能即使在板上电源保护回路失效时也要求能够正常运作。

**规则 5.101:** 母板必须为本引脚上提供 3.3V 电压。母板可以使用其 3.3V 辅助电源或者母板的 3.3V 主电源为该引脚供电。

**规则 5.102:** 3P3VAUX 电源在上升时必须单调。

**注意 5.25:** 当其它电源不可用时，3P3VAUX 电源对于子卡应当可用。

**注意 5.26:** 3P3VAUX 和 3P3V 不得共用子卡上的线路，以避免子卡关闭时电流回路发生故障。

## IO 参考电压

本规范提供从 IO 子卡到母板的参考电压。本规范的目的在于为子卡提供一个方便的 IO 标准，这需要有参考电压。这些 IO 标准完整的规范已经超出了本文档的范围，需要更多信息的话，请参考适当的规范。

**VREF\_A\_M2C** – 参考电压，与 A 区数据引脚使用的信号标准相关。

**规则 5.103:** 如果信号标准有要求的话，L<sub>Axx</sub> 以及 CLK0 信号必须使用 VREF\_A\_M2C 信号作为参考电压。

**许可 5.8:** 如果 A 区的信号不需要参考电压的话，子卡 VREF\_A\_M2C 引脚可以不连接信号。

**规则 5.105:** 母板必须将 VREF 引脚连接至相应设备，这些设备必须通过接口与 IO 子卡相连。

## IO 区域的电源

**规则 5.110:** A 区中用户定义的信号必须使用 VADJ 电压作为 IO 电源。

**规则 5.111:** 如果母板不能提供子卡所要求的 VADJ 信号，这时电压信号被认为是超出允许范围，母板也必须驱动 PG 信号为低电平。

**规则 5.112:** 母板应当从子卡上的非易失性存储设备上获得 VADJ 信号的需求值。

**许可 5.10:** VADJ 信号可以用作 A 区 IO 电源之外的其他目的。

要求的信号标准	VADJ	VREF_A_M2C
LVTTTL	3.3	不适用
LVCMOS33	3.3	不适用
LVCMOS25	2.5	不适用
LVCMOS18	1.8	不适用
LVCMOS15	1.5	不适用
LVDS	2.5	不适用

LVPECL	2.5	不适用
--------	-----	-----

**规则 6.4:** 指定为 L<sub>Axx\_y</sub> 和 H<sub>Axx\_y</sub> 的 IO 信号由公用的 VADJ 电源驱动。

**规则 6.6:** 模块通过非易失性 EPROM 确认它对于母板的 VADJ 电压要求。

**规则 6.7:** 母板必须利用 VADJ 信号作为 FPGA 的电源信号，作为 L<sub>Axx\_y</sub> 和 H<sub>Axx\_y</sub> 的信号标准。

FPGA	
Type	Xilinx Artix 7 (XC7A35T / XC7A50T)
Package	325pin CSG
Slices	
Memories	
Softcore	LatticeMico32(LM32)
I/O	4 GTX transceiver

OnBoard Clock	
PLL	AD9516-4
DAC	AD5663BRJ (16bit; 2.7-5.54V)

SMA I/O	
SMA Output	2Vpp@50ohm ~20.4dBm High Voltage : >2.6V Low Voltage : <0.5V Pulse width: 20ms

TABLE 3B. LVCMOS / LVTTTL DC CHARACTERISTICS,  $V_{DD} = 3.3V \pm 0.3V$ ,  $T_A = -40^{\circ}C$  TO  $85^{\circ}C$ 

Symbol	Parameter	Test Conditions	Minimum	Typical	Maximum	Units
$V_{OH}$	Output High Voltage; NOTE 1		2.6			V
$V_{OL}$	Output Low Voltage; NOTE 1				0.5	V

NOTE 1: Outputs terminated with  $50\Omega$  to  $V_{DD}/2$ . See Parameter Measurement Section, 3.3V Output Load Test Circuit.

Others	
Certification	
Power Supply	3.3V 3A (Through FMC connector)
Environmental Conditions	Temperature: $0^{\circ}C \sim +50^{\circ}C$ Humidity: 0% ~ 90% RH
Installation	FMC carrier board (ANSI/VITA57.1-2008)

## 包装

## Package

CUTE-WR-A7 包装由以下构成:

- CUTE-WR-A7 板卡
- 单模光纤 (**选配件**, 数目和长度需要在订购时声明)
- 若干 LC 接口的 SFP 模块, 型号分别为: (**选配件**, 数目和类型需要在订购时声明)
  - GE-LC-1490 (紫红色)
  - GE-LC-1310 (蓝色)

注: 有关 SFP 兼容性的信息和使用方法, [请咨询 support@synctechonology.cn](mailto:support@synctechonology.cn)。

The package of CUTE-WR-A7 includes:

- CUTE-WR-A7 mezzanine
- SM fibers ( **optional**, specify the length and quantity when ordering)
- SFP LC modules ( **optional**, specify the type and quantity when ordering)
  - GE-LC-1490 (violet)
  - GE-LC-1310 (blue)

Note: For SFP compatibility or special long-distance modules, please consult [support@synctechonology.cn](mailto:support@synctechonology.cn)

## 环保

## Environment Friendly



这个标志意味着当设备已经到达生命周期时, 必须送到回收中心, 与生活垃圾区分对待。包装箱, 包装物中的塑料袋和其余可回收物, 应按照国家回收规定进行回收。

千万不要将这些电子设备与生活垃圾一起丢掉, 你可能会受到相应法规制裁。保护环境人人有责。

This symbol means that when the equipment has reached the end of its life cycle, it must be taken to a recycling center and processed separate from domestic waste.

The cardboard box, the plastic contained in the packaging, and the parts that make up this device

can be recycled in accordance with regionally established regulations.

Never throw this electronic equipment out along with your household waste. You may be subject to penalties or sanctions under the law. Instead, ask for instructions from your municipal government

on how to correctly dispose of it. Please be responsible and protect our environment.

## 保修

## Warranty

CUTE-WR-A7 出厂时经过了完整的测试，并拥有一年的厂商保修。鉴于 CUTE-WR-A7 的安装环境不可控，由于安装问题导致的失效不予保修。这包括错用、错接、过热和超出 CUTE-WR-A7 设计范围的过载操作。有关保修和更换，请联系：

信科太（北京）科技有限公司 Sync (Beijing) Technology Co., LTD

邮箱：info@synctechonology.cn ; support@synctechonology.cn

The CUTE-WR-A7 is fully factory tested and warranted against manufacturing defects for a period of one year. As the circumstances under which this CUTE-WR-A7 is installed cannot be controlled, failure of the CUTE-WR-A7 due to installation problems cannot be warranted. This includes misuse, miswiring, overheating, operation under loads beyond the design range of the CUTE-WR-A7. For warranty or no warranty replacement please contact:

Sync (Beijing) Technology co., LTD

email: info@synctechonology.cn ; [support@synctechonology.cn](mailto:support@synctechonology.cn)

## 安全警告

## Safety

警告：本板卡的设计标准电源输入范围是：3.3V，请使用符合规范的输入电源。

警告：为了延长 CUTE-WR-A7 的寿命，建议在受控的环境中使用设备，符合附录中的环境要求。

警告：本板卡使用时需要连接到 FMC 载板，保证可靠连接。

警告：不得直接触摸板卡上的集成电路和元器件，防止静电破坏

**Warning:** The standard power source for this mezzanine is designed to work in the 3.3V.

**Warning:** To increase the lifetime of the CUTE-WR-A7, it is recommended to use in a controlled ambient environment and limit to the ambient condition stated in the Specification Appendix.

**Warning:** The mezzanine it supposed to be installed on a FMC carrier, with reliable connection to the carrier circuit.

**Warning:** Direct touch to the IC and component is forbidden that may cause ESD damage to the mezzanine.



## FAQ 和错误诊断

## FAQs & Troubleshooting

如果你遇到一些问题，请先查供应商的 FAQ 网页，看是否能从中找到答案 (<http://www.synctechnology.cn/detaile.aspx?id=172>)。也可以进入 wiki 页面 <https://ohwr.org/project/cute-wr-a7/wikis/home>，查看你的问题是否为一个已知的 bug，是否已经有解决方案。还可以联系我司寻求技术支持。

email: [info@synctechnology.cn](mailto:info@synctechnology.cn); [support@synctechnology.cn](mailto:support@synctechnology.cn)

If you are experiencing some issues please look first at the WRS FAQ wiki page if you can find an answer. You can also reach out the wiki to see if your issue is a known bug and if a solution was found:

<https://ohwr.org/project/cute-wr-a7/wikis/home>

You can also request Technical Support by contacting us. email: [info@synctechnology.cn](mailto:info@synctechnology.cn); [support@synctechnology.cn](mailto:support@synctechnology.cn)

## 联系我们

## Contact US

信科太 (北京) 科技有限公司  
北京市海淀区双清路  
启迪 (八家) 创业园 A508 室  
<http://www.synctechnology.cn>  
0086-13070165776  
[info@synctechnology.cn](mailto:info@synctechnology.cn)  
[support@synctechnology.cn](mailto:support@synctechnology.cn)

Sync (Beijing) Technology Co., LTD  
A508, QIDI (Bajia) incubator  
Shuangqing Road, Haidian District, Beijing  
<http://www.synctechnology.cn/>  
0086-13070165776  
[info@synctechnology.cn](mailto:info@synctechnology.cn)  
[support@synctechnology.cn](mailto:support@synctechnology.cn)

