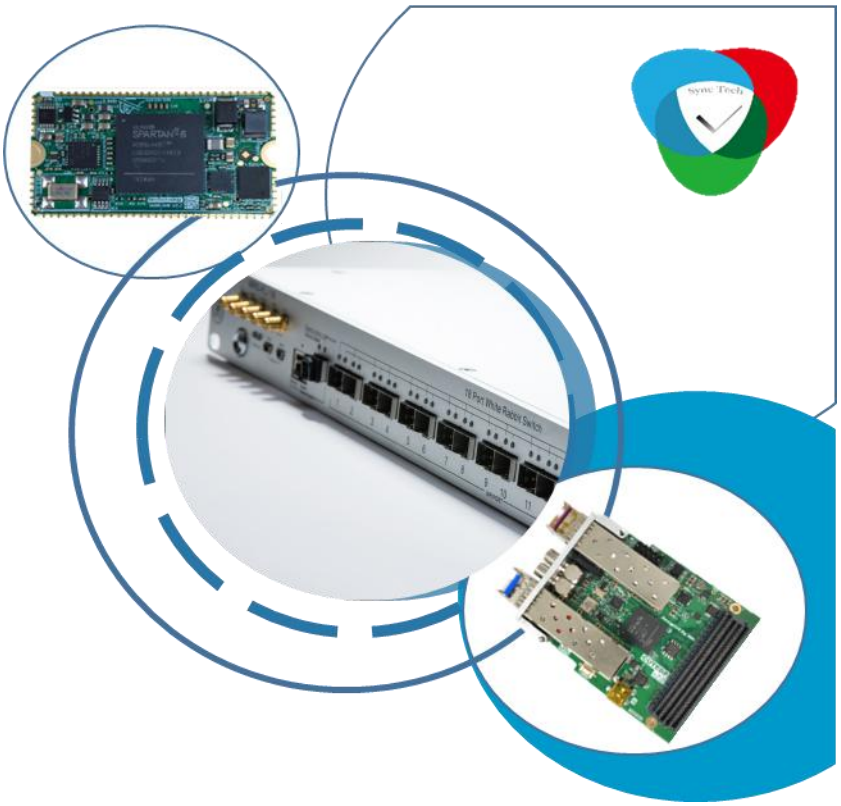


CUTE-WR-A7 使用手册

CUTE-WR-A7 User Manual

Version 20260401

SyncTechnology
与时相伴 Your Partner In Time

信科太（北京）科技有限公司
Sync (Beijing) Technology

术语表 Glossary

DHCP	Dynamic Host Configuration Protocol	动态主机配置协议，用于获取网络配置
FMC	FPGA Mezzanine Card	FPGA 夹层卡，一种 ANSI 工业标准卡
PTP	Precise Time Protocol	精密时间协议，又称 IEEE1588
SMA	Subminiature version A	一种用于射频电路的同轴连接器
SFP	Small form-factor pluggable transceiver	一种可以热插拔的串行收发器
UART	Universal Asynchronous Receiver/Transmitter)	通用异步串行收发器
WR	White Rabbit	一种高精度时钟同步技术
WRS	White Rabbit Switch	支持 WR 同步协议的交换机
WRN	White Rabbit Node	支持 WR 同步协议的节点板卡

版本：

V20210413： Initial version
V20220111： 增加控制台命令，增加恢复原始设置。
V20220825： 增加控制台命令(AUX 信号，延迟设置)
V20220928： 修正核对部分细节信息，调整章节顺序；Detail corrected
V20221018： 修正核对 FMC 信号
V20221025: 补充 sfp erase 命令；增加载板尺寸示意图
V20221120： 补充工作模式，AUX 信号输出描述
V20230326： 完善节点模式设置说明；添加故障诊断章节
V20230403 ： 增加 JTAG 下载更新说明；调整部分章节
V20230525： 细化附录，底板和面板尺寸；重新梳理定义 FMC 引脚
V20230824： 修改 AUX 部分的描述
V20240620： 修改确定 FMC 引脚分配!；更新 AUX 命令格式
V20240718： 修改串口功能描述
V20241112: 修正表格中 AUX0,AUX1 对应的 FPGA 引脚定义
V20250210： 更新补充英文版本
V20260312： 修正 3D 硬件接口图中 SFP0 标注错误
V20260401：修正控制台命令中 aux 相关命令格式；修正 aux pps 命令中步长英文描述；调整远程更新部分内容；修改 sfp add 参数描述；增加 IRIG-B 和 NMEA 格式介绍

目录

术语表 ..... Glossary 2

介绍 ..... Introduction 4

工作模式 ..... Operation Modes 6

接口 ..... Interfaces 9

连接运行 ..... Startup 21

配置管理 ..... Management 23

控制台命令 ..... Console Commands 24

WR 同步状态 ..... WR Status 27

AUX 通道 ..... AUX channel 30

TAI 时间编码 ..... TAI Time Code 错误!未定义书签。

固件升级 ..... Firmware Update 36

恢复初始设置 ..... Recovery 41

错误诊断 ..... Trouble-Shooting 44

数据传输 ..... Data Transmission 45

延迟标定 ..... Calibration 45

附录 A：机械尺寸 ..... Dimension 46

附录 B：VITA57.1 FMC 信号设计指导 52

附录 C ..... Appendix 60

介绍 Introduction

CUTE-WR-A7（Compact Universal Timing Endpoint based on WR using Artix7）是一款实现 White Rabbit 双端口节点功能的通用 FMC 标准子卡。CUTE-WR-A7 可以提供相对偏差好于 1 纳秒，信号抖动小于 30 皮秒的时钟信号。

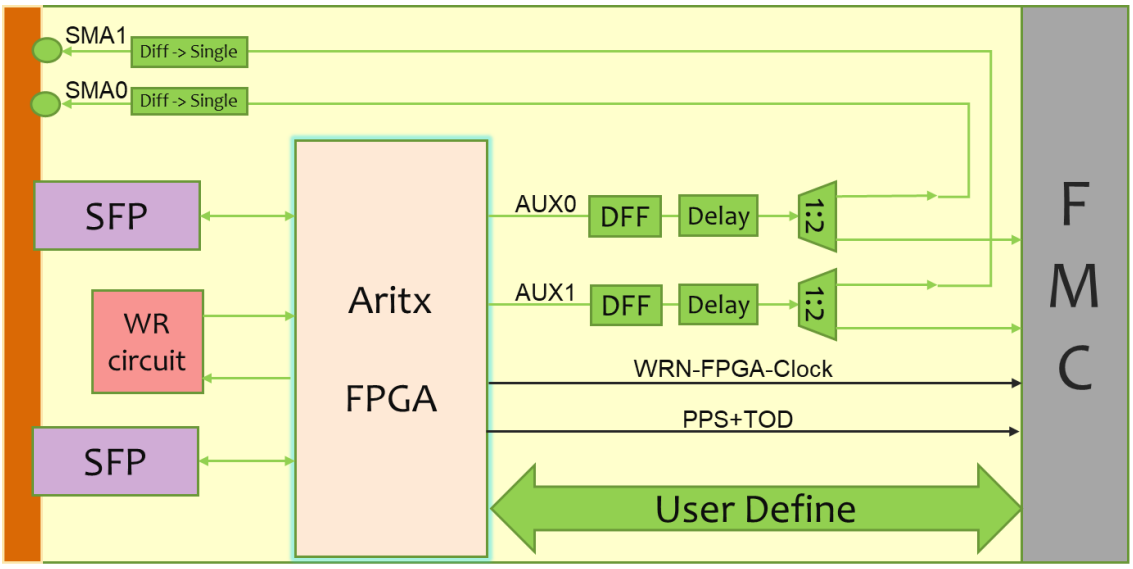
CUTE-WR-A7 (Compact Universal Timing Endpoint based on WR using Artix7) is a mezzanine card in FMC form, with full support of WR technology. CUTE-WR-A7 can provide timing signals with synchronization precision better than 1ns and signal jitter better than 30ps.

CUTE-WR-A7 包括电源模块、Artix7 系列 FPGA、DAC、VCO 和 PLL 芯片、2 路支持 1Gbps 光纤收发器的 SFP 接口等。

CUTE-WR-A7 支持 WR 协议，兼容 PTPv2 协议，可作为 1588 普通时钟节点（Ordinary Clock）；通过双端口级联，可作为 1588 边界时钟节点(Boundary Clock)。CUTE-WR-A7 提供通用接口实现调试、数据通信以及本地配置等功能。

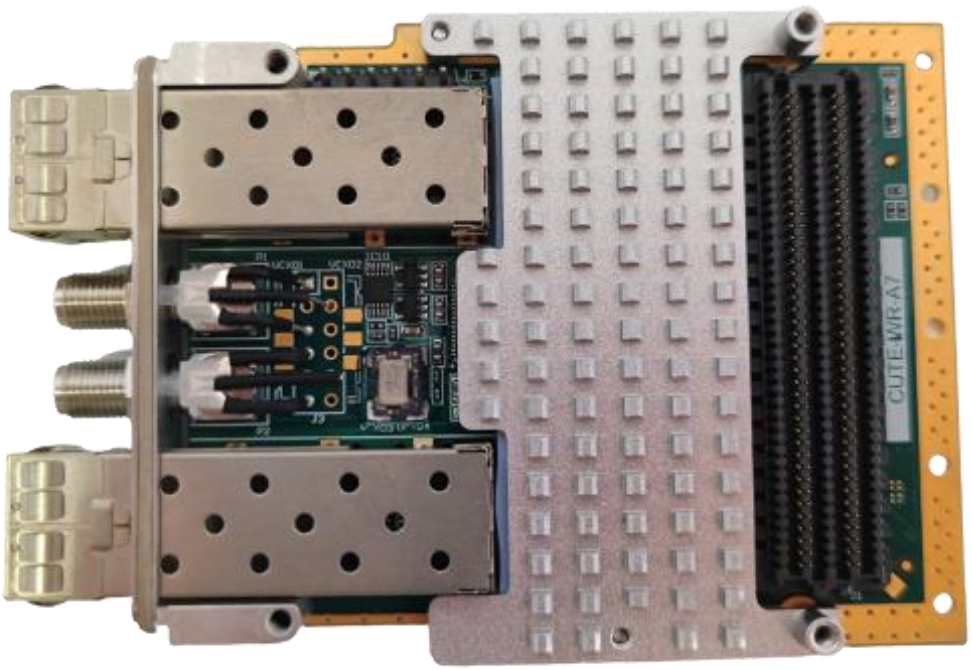
CUTE-WR-A7 contains the power converter, Artix-7 FPGA, DAC, VCO, PLL circuit and 2 SFP interfaces supporting 1Gbps fiber transceiver.

CUTE-WR-A7 supports WR protocol and is compatible with PTPv2 to act as IEEE 1588 ordinary clock node. Besides, with the additional secondary port, it can also act as boundary clock for IEEE 1588. Following the WR technology specification, the Bi-Directional SFP modules are used with a single strand of single-mode fiber to connect with other WR devices. On the same fiber media, the clock/timing transmission can be accomplished together with data transmission. CUTE-WR-A7 provide a firmware framework for debugging, diagnostic, data transmission and configurations.



CUTE-WR-A7 结构框图

structure of CUTE-WR-A7



CUTE-WR-A7 实物

Picture of CUTE-WR-A7

工作模式 Operation Modes

CUTE-WR-A7 有多种不同的工作模式：

CUTE-WR-A7 has different operation modes:

CUTE-WR-A7-GM 源节点模式 Grand-Master Mode	该模式是主节点模式的基础上，可以连接外部的 10MHz，PPS 和 TOD 参考源（需要配合 STK(GM)或者 TB-410 等硬件板卡） With support of external interfacing circuits such as STK(GM) or TB-410, CUTE-WR-A7 can work in Grand-master mode to follow external 10MHz/PPS/TOD reference.
CUTE-WR-A7-MM 主节点模式 Master Mode	CUTE-WR-A7 的两个 SFP 均为主节点，可分别连接其他 WR 从设备。 In Master mode, both SFP ports on CUTE-WR-A7 act as WR master and can connect to WRS or other WR slave node.
CUTE-WR-A7-CM 级联模式 Cascade Mode	CUTE-WR-A7 的 SFP0 为从节点，SFP1 为主节点；多个 CUTE-WR-A7 可以互相串连，形成链式拓扑。 In CM mode, two ports act as slave (SFP0) and master (SFP1) respectivly to support cascade topology.
CUTE-WR-A7-SM 从节点模式 Slave Mode	CUTE-WR-A7 的两个 SFP 均为从节点，可连接 WR 交换机或其他 WR 主设备。 In Slave mode, both SFP ports on CUTE-WR-A7 act as WR slave. SFP0 has higher priority over SFP1. Switching between SFP may cause synchronization break or glitch.
CUTE-WR-A7-PM 并联模式 Parallel Mode （**not available yet**）	并联模式下，CUTE-WR-A7 的两个端口均工作在从模式，可以分别和两个 WR 主设备连接。这两个链路可以构成冗余备份，在一个链路发生故障时，节点可以自动切换到另一个链路，保持定时信息的稳定连续。 In PM mode, both ports act as salve that can connect to different WR masters to form redundant WR

	connections to guarantee the reliability.

- GrandMaster 模式仅在 NN（Normal Node）固件并辅以对应的外扩功能板才能实现，EN （Expand Node) 固件版本不支持 GM 模式。

- 如果该 CUTE-WR-A7 没有和其他主设备连接，该节点必须设置为 Master，其两个 SFP 端口都可以连接从设备。

- 如果该 CUTE-WR-A7 没有连接其它从设备，该节点必须设置为 slave，其两个 SFP 端口都可以连接主设备。SFP0 具有更高的优先级：只有在 SFP0 无连接时，才会使用 SFP1 端口作为同步源；SFP0 连接启动后也会直接切换掉 SFP1。在两个端口发生切换时，节点的同步输出会存在短暂的丢失和跳变。

- 只有当该 CUT-WR-A7 的 SFP0 连接了主设备，SFP1 连接了从设备，才需要将该节点配置成 cascaded 模式。此时 SFP0 作为 Slave 端口，SFP1 作为 Master 端口。 SFP0 建立有效的 WR 上行链接后，SFP1 以同步恢复的时钟作为时钟源，和其他 slave 端口建立同步; 如果 SFP0 未建立 WR 上行链接，则 CUTE-WR-A7 进入 Freerun 的模式，SFP1 以 CUTE-WR-A7 自身的 Freerun 振荡器作为时钟源，和其他 slave 端口建立同步。 当 SFP0 的链接状态发生变动时，会导致 SFP1 端口的链路重置，并重新进行同步。

- Grand Master mode is only achievable with NN (Normal Node) firmware and necessary expand circuit board (STK(GM), etc), it is not supported with EN (Expand Node) firmware.

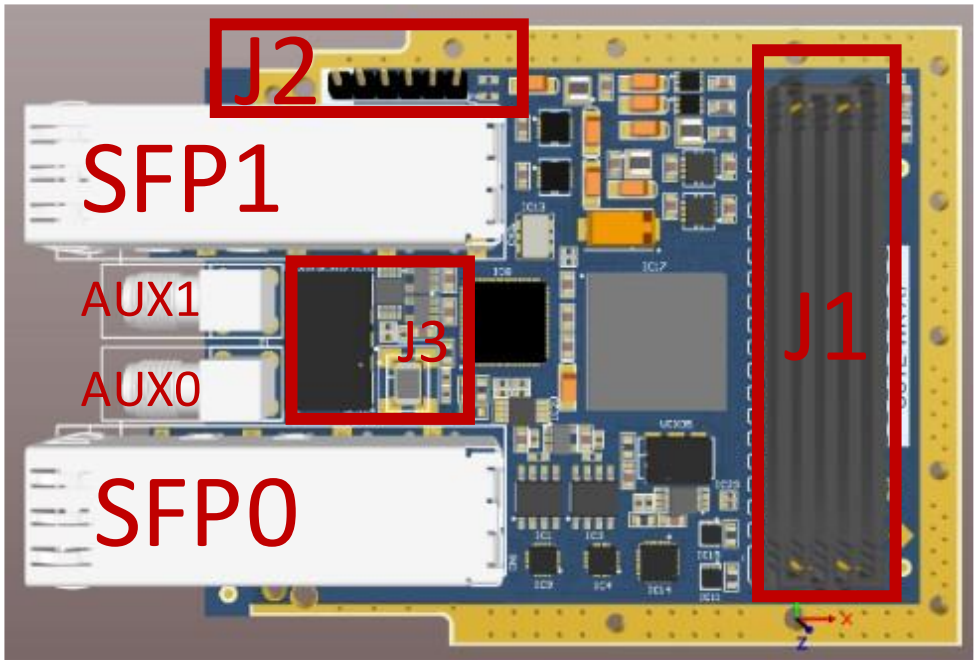
- If the CUTE-WR-A7 is not connected to any WR master device, then it MUST be configured as master mode, both SFP ports can be used to connect to other WR slave devices.
- If the CUTE-WR-A7 is not connected to any WR slave device, then it MUST be configured as slave mode, two SFPs all act as slave ports while SFP0 has the higher priority: SFP1 is only valid for synchronization when the SFP0 has no WR connection; a re-connected SFP0 can also terminate an established SFP1 timing link. The PPS/10M output may suffer a temporary lost or jump

during the switching of two SPF ports.

- Only when the CUTE-WR-A7 is connected to both WR master and WR slave devices, then it should be configured as cascaded mode where SFP0 acts as slave port while SFP1 acts as master port. If there is WR link established on SFP0, the recovered WR clock will be applied by SFP1 to further synchronize other WR slave port connected. If there is no WR link established on SFP0, the CUTE-WR-A7 onboard free-run OSC will be used as reference by SFP1 to synchronize with other WR slave port. When the WR link status on SFP0 changes, the link on SFP1 port will be terminated and resettled after.

例如，两个 CUTE-WR-A7 互联，必须配置成 Master-Slave； 三个 CUTE-WR-A7 连接，必须配置成 Master-Cascade-Slave。特别注意，需避免将节点的两个端口同时接入一个子网（例如同一台网络交换机），这样会构成网络环路，产生大量数据，造成网络和同步异常。

It is not allowed to have the two SFP ports connected to the same Ethernet sub-network (like the same Ethernet switch with no VLAN setting), a network loop may generate package broadcast and disturb network traffic and timing synchronization.



硬件接口（CUTE-WR-A7 正面向上）

CUTE-WR-A7 connectors（topside up）



前面板视图（CUTE-WR-A7 正面向下）

Front panel of CUTE-WR-A7 (topside down)

CUTE-WR-A7 板硬件接口如图所示：

The CUTE-WR-A7 contains the following connectors:

- **供电接口** Power port

  CUTE-WR-A7 没有单独的供电接口，必须通过 FMC 接插件对应的电源引脚供电，供电电压 3.3V，供电电流不少于 3A。

  CUTE-WR-A7 is powered via the FMC connector; the power rail is 3.3V and not less than 3A.

- **SFP 接口** SFP cages:

  前面板提供两个 SFP 接口，分别为 SFP0 和 SFP1。默认情况下，CUTE-WR-A7 配置为 cascaded 模式，即 SFP0 配置为 Slave 功能，SFP1 配置为 Master 功能。

  CUTE-WR-A7 不附带任何 SFP 模块，需要单独购买。

  there are two SPF cages on front panel, SFP0 and SPF1. By default, the CUTE-WR-A7 is configured in "cascaded" mode thus SFP0 is configured as WR slave port while SFP1 is configured as WR master.

  The SFP modules are not included in CUTE-WR-A7 and need to be purchased separately.

- **SMA 信号输出** SMA connectors

  前面板的两路 SMA 连接器，输出可配置的 AUX 信号，默认情况下为：

  AUX0： 10M 同步时钟

  AUX1： PPS 秒脉冲信号

  这两个端口输出信号的电平特性为：

  50 欧姆负载： 高电平>2.4V，低电平<0.4V,上升时间(20%-80%) <1ns

  1M 欧姆负载： 高电平>3.0V，低电平<0.4V,上升时间(20%-80%) <1ns

  注意在 1M 欧姆负载时，信号可能会产生较大的振铃。

  There are two SMA connectors on front panel for output configurable AUX signals, default they are configured as:

  AUX 0: 10M clock

  AUX1: Pulse Per Second

  The electrical parameters of those signals are:

  With 50Ω termination: High level >2.4V, low level <0.4V, Rising time <1ns

  With 1M Ω termination: High level >3.0V, low level <0.4V, Rising time <1ns

  Note that with 1M Ω termination, ringing might happen.

- **LED**

  2 个前面板双色指示灯，用作两个 SFP 端口同步状态和网络通信活动指示

	红色 (Activity)	绿色(Link&Sync)
主端口	数据包交换	链路建立
从端口	数据包交换	链路建立且完成 WR 同步

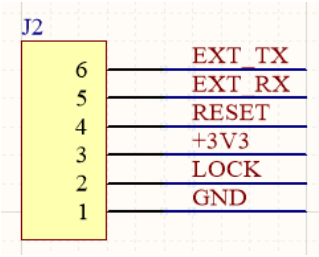
双色灯，红绿同亮时为橙色

two bi-color front panel LEDs works as synchronization status and network activity indication for the two SFP ports respectively.

	RED (Activity)	GREEN (Link&Sync)
MASTER port	Package exchange	Link established
SLAVE port	Package exchange	Link established **AND** synchronized

The bi-color LED will show orange when red and green both valid.

- **J2 连接器** J2 connector



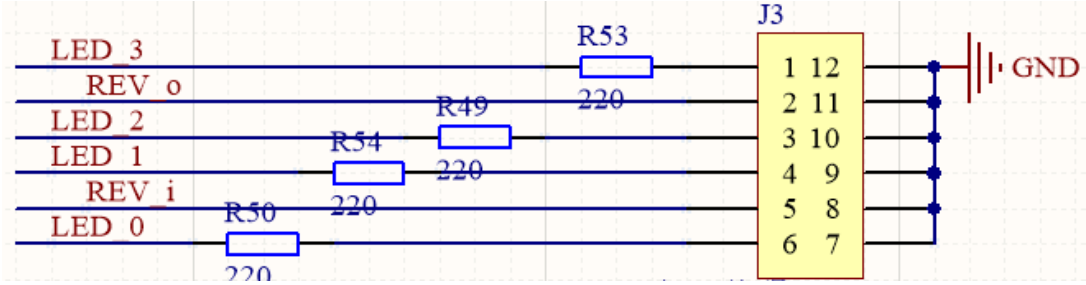
该连接器是单排 1x6 针式连接器，间距 2.54mm，放置在 PCB 边缘。J2 是 CUTE-WR-A7 自定义的连接器，并不是 FMC 标准的一部分。

- ✧ EXT_Rx / EXT_Tx： 串口信号，该信号经过三态缓冲器，为 LvCMOS33 电平，底板上必须实现相应的串口驱动转换（RS232 或 USB 串口） （另常见 FMC 信号定义 Note5）
- ✧ RESET ： 外部复位输入，低电平有效。
- ✧ LOCK ： WRPC 锁定状态指示信号，高电平有效

This self-defined 6pin connector (single row male, 2.54mm pitch) located on the edge of CUTE-WR-A7 is not part of VITA-57 FMC standard.

- ✧ EXT_Rx / EXT_Tx： UART for console port，they are LvCMOS level thus extra convert circuit is necessary on carrier board.
- ✧ RESET ： external reset input, low-level valid
- ✧ LOCK ： WRPC lock status output, high-level valid

- **J3 连接器** J3 connector



该连接器提供 4 个 LED 指示控制信号和一对预留的带缓冲的输入输出信号。通

常该连接器位置用于焊接双色面板指示灯，用户不使用该连接器。

J3 connector provides the control signals for the two bi-color LEDs together with a pair of buffered in/out signals. This connector is not open to user.

- **FMC 连接器** FMC connector



CUTE-WR-A7 使用低密度(Low Pin Count) FMC 接口，对应的器件型号如下：

CUTE-WR-A7 is an FMC form mezzanine with a LPC (low pin count) FMC connector, the component types are as following:

	TYPE	PART No.	SEARAY type	Stack height
CUTE-WR-A7	Male	ASP-134604-01	SEAM-40-03.5-10-A	10mm
CARRIER	Female	ASP-134603-01	SEAF-40-06.5-10-A	

FMC 连接器的信号定义遵循 ANSI/VITA57.1-2019 标准定义（不兼容的地方会单独指出）。

The signals on the FMC connector follows the ANSI/VITA57.1-2019 standard. (Incompatibilities notified otherwise)

固定信号 Signals defined by VITA57.1

FMC Pins	NET	Default	Note
H1	VREF_A_M2C	参考电压 Reference Voltage	差分信号参考电压。CUTE-WR-A7 连接到 3.3V Reference voltage for differential signals, connected to 3.3V on CUTE-WR-A7 mezzanine.
H2	PRSNT_M2C	模块存在信号 Mezzanine Present	母板上拉，CUTE-WR-A7 将该信号直接接地。模块未连接，母板检测到该信号为高电平，模块插入后，母板检测到该信号为低电平。 This signal is Pull-up on carrier board, and connected to GND on CUTE-WR-A7. The carrier board will detect high level if the CUTE-WR-A7 is not mounted, and low level is the CUTE-WR-A7 is mounted.
D1	PG_C2M	母板电压正常 Carrier power good	母板电压正常时，将该信号置为高电压 Carrier board pulls this signal to high level after the power supply is steady.
D32	P3V3_AUX		这几个信号直接连接到 FMC 板载 EEPROM，参见附录 B“I2C 设计规范”一节 These signals connected to the EEPROM on CUTE-WR-A7 FMC mezzanine, please refer to VITA57.1 standards.
D35	GA1		
C34	GA0		
C30	FMC_I2C_SCL		
C31	FMC_I2C_SDA		
D29	FMC_FPGA_TCK		JTAG 编程信号 JTAG signals
D30	FMC_FPGA_TDI		
D31	FMC_FPGA_TDO		
D33	FMC_FPGA_TMS		
D34	FMC_JTAG_RESET		
C35,C37	P12V		由底板提供，子卡未使用这些电源。
D36,D38, D40,C39	P3V3_FMC		底板向子卡提供大于 3A 的 3.3V 电源 Carrier board should provide 3.3V with 3A.
H40,G39	FMC_VADJ		可以由底板提供，作为部分用户 IO 的供电电压，以实现不同的电压标准 Provided by the carrier board to adjust the reference voltage of the FPGA bank that some FMC signals belongs, to support different IO voltage standards
C1,C4,C5,C8,C9,C12,C13,C16,C17,C20,C21,C24,C25,C28,C29,C32,C33,C36,C38,C40 D2,D3,D6,D7,D10,D13,D16,D19,D22,D25,D28,D37,D39 H2,H3,H6,H9,H12,H15,H18,H21,H24,H27,H30,H33,H36,H39; G1,G4,G5,G8,G11,G14,G17,G20,G23,G26,G29,G32,G35,G38,G40			DGND

应用定义信号

Application defined signals

*M2C 指的是从 CUTE-WR-A7 (Mezzanine）到载板（Carrier），C2M 相反。 *M2C means from CUTE-WR-A7 (mezzanine) to carrier, C2M means opposite direction

				Normal Mode (35T/50T) Version Prefix: NMxx GM appliable with STK(GM)		
FMC PIN	VITA_NET	CUTE-WR-A7 FPGA		Function		
		BANK	Pin			
C2(C3)	SGMII_C2M_P(N)		E4(E3)	在 FMC 和底板之间提供一对 SerDes 连接，用于 SGMII A SerDes connection between CUTE-WR-A7 and carrier board.		
C6(C7)	SGMII_M2C_P(N)		H2(H1)			
D4(D5)	GBTCLK0_M2C_P(N)			PLL 直接输出的低抖动 WR 时钟，125MHz The 125MHz clock generated directly from the PLL synthesizer.		
H4(H5)	CLK0_M2C_P(N)	B15	D13/C13	M2C	FPGA_WR_CLOCK	WR synchronized 62.5MHz clock from FPGA
G2(G3)	CLK1_M2C_P(N)	B15	E13/D14	M2C	WR-TAI coding	WR-TAI timing code from FPGA
G6(G7)	LA00_CC_P(N)	----	L3:B9(A9)	M2C	AUX0	2 个固定的 AUX 通道 0,1，具备延迟调节和抖动清理 *Note2
D8(D9)	LA01_CC_P(N)	----	L1:D8(C8)	M2C	AUX1	
H7(H8)	LA02_P(N)	B15	L20:H16(G16)	M2C C2M	10MHz out 10MHz in	10MHz out 10MHz input （GM）
G9(G10)	LA03_P(N)	B15	L17:E17(D18)	M2C	AUX2	预留的 AUX 通道 2，可在底板上进行进一步的延迟和清理
H10(H11)	LA04_P(N)	B15	L19:G17(F18)	M2C	PPS out PPS in	PPS output PPS input (GM)
D11(D12)	LA05_P(N)	B15	L5:B10(A10)	M2C	AUX4	预留的 AUX 通道 4，可在底板上进行进一步的延迟和清理
C10(C11)	LA06_P(N)	B15	L2:D9(C9)	M2C	AUX3	预留的 AUX 通道 3，可在底板上进行进一步的延迟和清理
H13(H14)	LA07_P(N)	B15	L10:B14(A15)	M2C C2M	IRIG-B out IRIG-B in	IRIG-B output IRIG-B input (GM)
G12(G13)	LA08_P(N)	B15	L18:C17(C18)	M2C	AUX5	预留的 AUX 通道 5，可在底板上进行进一步的延迟和清理
D14(D15)	LA09_P(N)	B15	L9:C14(B15)	M2C	AUX6	预留的 AUX 通道 6，可在底板上进行进一步的延迟和清理
C14(C15)	LA10_P(N)	B15	L4:C11(B11)	M2C C2M	WR Lock nReset	WRPC locked Mezzanine reset
H16(H17)	LA11_P(N)	B15	L7:B12(A12)	M2C C2M	NMEA out NMEA_In	NMEA output（Note5） NMEA input(GM) （Note5）
G15(G16)	LA12_P(N)	B15	L14:B16(A17)	M2C	AUX7	预留的 AUX 通道 7，可在底板上进行进一步的延迟和清理
D17(D18)	LA13_P(N)	B34	L17:T4(T3)	C2M	Rx_CTRL	RGMII (使用 FPGA_WR_CLOCK 代替 Tx_CLK 的功能)

C18(C19)	LA14_P(N)	B34	L11:N3(N2)	M2C M2C	LOAD67 LOAD45	三个 LOAD 信号，分别控制 3 个 dual-channel 延迟芯片， 对应预留的 AUX[2,3], AUX[4,5], AUX[6,7] 通道
H19(H20)	LA15_P(N)	B34	L21:R5(T5)	C2M	RxD[1]	RGMII
G18(G19)	LA16_P(N)	B15	L6:D11(C12)	C2M	TDC_in	外部 TDC 输入，可以用于延迟标定
D20(D21)	LA17_CC_P(N)	B34	L12:P4(P3)	C2M	RX_CLK	RGMII Rx-CLK
C22(C23)	LA18_CC_P(N)	B15	L14:E16(D16)	C2M	PLL_62.5M_Input	AD9516 generated clock to CUTE-WR-A7(GM)
H22(H23)	LA19_P(N)	B34	L22:R7(T7)	C2M	RxD[3]	RGMII
G21(G22)	LA20_P(N)	B34	L20:U6(U5)	C2M	RxD[0]	RGMII
H25(H26)	LA21_P(N)	B34	L19:P6(P5)	M2C	TxD[1]	RGMII
G24(G25)	LA22_P(N)	B34	L7:M2(M1)	C2M	RxD[2]	RGMII
D23(D24)	LA23_P(N)	B34	L24:V8(V7)	M2C	Tx_CTRL	RGMII
H28(H29)	LA24_P(N)	B34	L6:L5(M5)	M2C	TxD[3]	RGMII
G27(G28)	LA25_P(N)	B34	L1:K6(K5)	M2C	TxD[0]	RGMII
D26(D27)	LA26_P(N)	B34	L4:K3(L2)	M2C M2C	SCLK SDIN	External Fine delay Configuration interface 底板延迟线配置接口
C26(C27)	LA27_P(N)	B34	K3:K2(K1)	M2C M2C	LOAD23 ENABLE	三个 LOAD 信号，分别控制 3 个双通道延迟芯片， 对应预留的 AUX[2,3], AUX[4,5], AUX[6,7] 通道
H31(H32)	LA28_P(N)	B34	L22:U7(V6)	M2C C2M	GM_PLL_SDO GM_PLL_SDI	AD9516 控制接口（GM） 非 GM 模式下可用于核心板和底板处理器件之间的串行通信
G30(G31)	LA29_P(N)	B34	L2:J5(J4)	M2C	TxD[2]	RGMII
H34(H35)	LA30_P(N)	B34	L14:R3(T2)	M2C M2C	GM_PLL_CS GM_PLL_SCLK	AD9516 控制接口（GM） 非 GM 模式下可用于核心板和底板处理器件之间的串行通信
G33(G34)	LA31_P(N)	B34	L18:U4(V4)	M2C M2C	GM_PLL_SYNC GM_PLL_RESET	AD9516 控制接口（GM） 非 GM 模式下可用于核心板和底板处理器件之间的串行通信
H37(H38)	LA32_P(N)	B34	L5:L4(L3)	M2C C2M	UART_Tx UART_Rx	WRPC console UART（Note5）
G36(G37)	LA33_P(N)	B34	L13:R2(R1)	C2M C2M	GM_PLL_STAT GM_PLL_LOCK	AD9516 控制接口（GM） 非 GM 模式下可用于核心板和底板处理器件之间的串行通信

注 1： FMC 连接器 LA00_CC 和 LA01_CC 引脚提供 AUX 多用途信号（参考 AUX 通道章节）。这两组信号是从 1:2 扇出芯片产生，并不是直接连接在 FPGA 上，因此不能用作其它用途！这两对信号的电气标准为 LvPECL，其接收端必须提供合适的匹配电阻网络。用示波器无法直接测量该信号。

Note1: The LA00_CC and LA01_CC pairs are reserved for AUX signals, they comes out from the 1:2 fanout, and are LvPECL level, a termination resistor network is required at the receiver side.

注 2： 差分信号对用作两个单端时，其对应 P 和 N 信号在表中按照上下行分别说明。

Note2: signals are listed in differential pairs. When used as two single-ended signals, the descriptions are separated in two lines, P on top and N on bottom respectively.

注 3： FMC 连接器 LA02 – LA33 信号，分别接到 FPGA 的 bank15(B15)和 bank34(B34) 。Bank34 和 Bank15 均为 HR 类型，可以支持如下的电平标准：

LvCMOS12，LvCMOS15，LvCMOS18，LvCMOS25，LvCMOS33，LVDS_25

相关请查阅 Xilinx Artix7 技术文档 ds181,ug471 来决定不同 IO 电压下这些引脚的电平设定方式。

Note4: the LA02-LA33 pairs are connected to the Bank15 and Bank34 of the FPGA. Both banks are HR type and support the following IO standards:

LvCMOS12，LvCMOS15，LvCMOS18，LvCMOS25，LvCMOS33，LVDS_25

For more DC features please reference to Xilinx Artix7 documents ds181,ug471

LVDS DC Specifications (LVDS_25)

Table 11: **LVDS_25 DC Specifications**(1)

Symbol	DC Parameter	Conditions	Min	Typ	Max	Units
V_{CCO}	Supply Voltage		2.375	2.500	2.625	V
V_{OH}	Output High Voltage for Q and $\overline{Q}$	R_T = 100 Ω across Q and $\overline{Q}$ signals	–	–	1.675	V
V_{OL}	Output Low Voltage for Q and $\overline{Q}$	R_T = 100 Ω across Q and $\overline{Q}$ signals	0.700	–	–	V
V_{ODIFF}	Differential Output Voltage: (Q – $\overline{Q}$), Q = High ($\overline{Q}$ – Q), $\overline{Q}$ = High	R_T = 100 Ω across Q and $\overline{Q}$ signals	247	350	600	mV
V_{OCM}	Output Common-Mode Voltage	R_T = 100 Ω across Q and $\overline{Q}$ signals	1.000	1.250	1.425	V
V_{IDIFF}	Differential Input Voltage: (Q – $\overline{Q}$), Q = High ($\overline{Q}$ – Q), $\overline{Q}$ = High		100	350	600	mV
V_{ICM}	Input Common-Mode Voltage		0.300	1.200	1.500	V

Notes:

1. Differential inputs for LVDS_25 can be placed in banks with V_{CCO} levels that are different from the required level for outputs. Consult the *7 Series FPGAs SelectIO Resources User Guide* (UG471) for more information.

Table 8: **SelectIO DC Input and Output Levels**[1][2]

I/O Standard	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min	mA, Max	mA, Min
LVCMOS12	–0.300	35% V_{CCO}	65% V_{CCO}	V_{CCO} + 0.300	0.400	V_{CCO} – 0.400	Note 3	Note 3
LVCMOS15	–0.300	35% V_{CCO}	65% V_{CCO}	V_{CCO} + 0.300	25% V_{CCO}	75% V_{CCO}	Note 4	Note 4
LVCMOS18	–0.300	35% V_{CCO}	65% V_{CCO}	V_{CCO} + 0.300	0.450	V_{CCO} – 0.450	Note 5	Note 5
LVCMOS25	–0.300	0.7	1.700	V_{CCO} + 0.300	0.400	V_{CCO} – 0.400	Note 4	Note 4
LVCMOS33	–0.300	0.8	2.000	3.450	0.400	V_{CCO} – 0.400	Note 4	Note 4

注 4： Bank15 的 IO 电压固定为 2.5V，不可调。

Bank34 的 IO 电压可以通过修改 L30 和 L31 电感的进行配置：

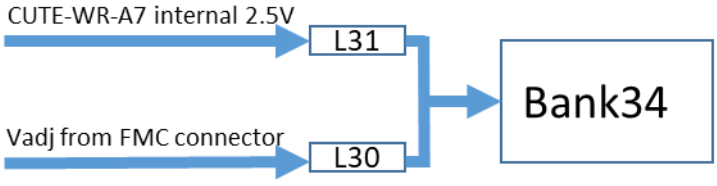
V1.1 的硬件默认焊接 L31，使用 CUTE-WR-A7 内部产生的 2.5V；

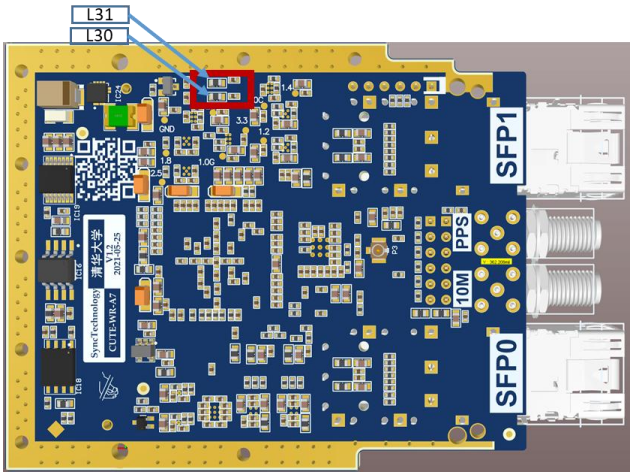
V1.2 及以后的硬件默认焊接 L30，使用 FMC 连接器提供的 Vadj 电压

The reference voltage for Bank15 is fixed to 2.5V; while the reference voltage for Bank34 can be selected by changing the L30 and L31 on CUTE-WR-A7:

V1.1 is soldered with L31, using the internal 2.5V.

V1.2 and later version is soldered with L30, using the Vadj from FMC connector.





如果 RGMII 信号需要采用 LVDS 电平，那么 Bank34 的 Vadj 必须配置成 2.5V，该 BANK 的其他单端信号也只能使用 LvCMOS25 电平标准。

注 5： WRPC 通过终端台串口来进行配置和状态监测。在 Cute-WR-A7 上，提供了 3 组硬件信号可以用于实现终端台串口，分别是：

单排 6pin 连接器 J2 上的 Tx/Rx	由三态缓冲器输入输出，LvCMOS33
FMC 连接器的 LA32 信号对	由 FPGA BANK34 引脚直接驱动。LvCMOS33 或 LvCMOS25（由 Vadj 来确定）

FMC 连接器的 LA11 信号对	由 FPGA BANK15 引脚直接驱动，LvCMOS25

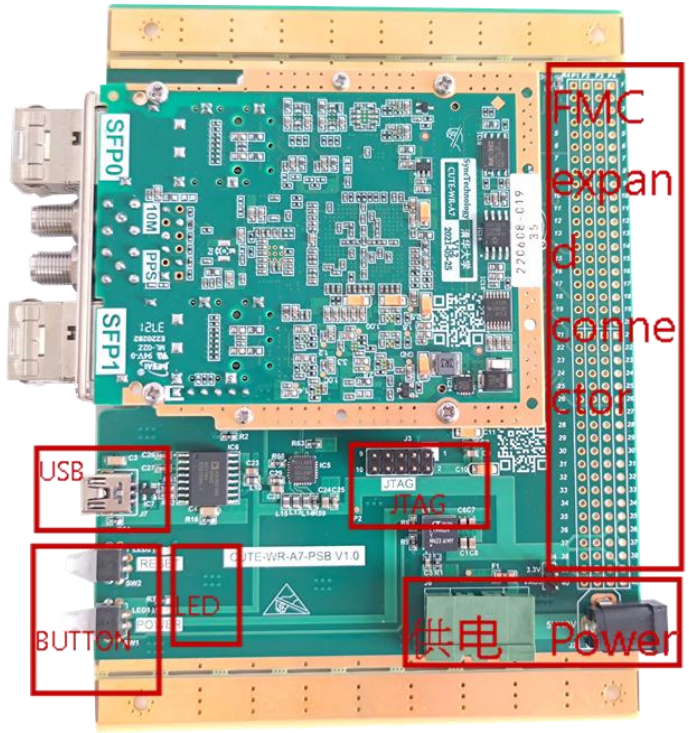
三组硬件串口信号都可以作为 WRPC 的终端串口同时使用；在 Cute-WR-A7 的固件中，任何一组的输入信息都提供给 WRPC 内核；而 WRPC 输出信息则同时扇出给三组串口硬件信号。

LA11 信号对默认作为 NMEA 格式的 TOD 信息输入输出，设备完成同步后会持续每秒输出 NMEA 串行报文。从终端向该串口输入“ESC“字符时，该串口将从 TOD 模式切换为终端串口模式，可以进行双向命令交互。如果其它两组串口有输入，或设备掉电复位后，该串口会重新回到 TOD 模式。

供电底板 Power Supply Board

CUTE-WR-A7 是实现 White Rabbit 节点功能的通用 FMC 标准子卡，必须通过 FMC 连接器才能对板卡供电。CUTE-WR-A7 PSB 板可以用于提供 CUTE-WR 子卡信号扇出和外部供电接口，简化 CUTE-WR-A7 子卡测试环境搭建。

As a standard FMC mezzanine, the CUTE-WR-A7 can only be powered through the FMC connector. A CUTE-WR-A7 power supply board can be used to power the mezzanine and fan out the signals on FMC connector to 4-row HDR connector for monitoring.



CUTE-WR-A7 PSB 板硬件接口如上图：

As shown here, the CUTE-WR-A7 PSB provides:

- 供电接口 Power connector

  CUTE-WR-A7 PSB 板左下提供两种外部供电接口：5.5/2.1mm 圆孔电源头，凤凰端子接头，这两种接头供电信号为并联，采用任何一个均可以实现对 EVB 板供电。供电电压 5-12V，供电能力应达到 10W 以上。

  CUTE-WR-A7 provides two power connectors: 2.1mm x 5.5mm female jack， or 5.08mm PCB header. Either of the connectors can be used to provide supply for the CUTE-WR-A7 with DC voltage between 5-12V and current enough to provide 10W power.

- 按键　Button

  电源供电板边有两个按键，分别是自锁式电源开关按键和系统复位按键。

  Two edge buttons are for self-lock Power ON/OFF and mezzanine reset respectively.

- LED

  两个 LED 指示灯用作电源和 WR 同步锁定的指示。

  Two LEDs used to indicate the power and WR-Lock status.

- FMC 信号扩展端口　FMC expand connector

  该端口使用 4 x 40 pin 的标准插针，间距 100mil，分别对应 LPC-FMC 接插件的信号。P1-P4 分别对应 LPC-FMC 接插件的 H，G，D，C 列信号，1-40 分别对应 LPC-FMC 接插件每列的 1-40 个信号。

  The 4x40 header connector with 100mil distance. The 4 rows correspond to the H,G,D,C rows on LPC-FMC connector.

- JTAG 编程端口　JTAG connector

  CUTE-WR 子卡插入 EVB 板后，在 FMC 连接器上的 JTAG 编程信号被转接到 EVB 板的插座，方便连接编程器。

  The JTAG signals on the CUTE-WR-A7 FMC connector are traced to this 2x5 header that a Xilinx FPGA programmer can be inserted.

- Mini USB 接口　Mini-USB

  由于 CUTE-WR-A7 面板面积有限，无法再增加 USB 串口连接器。所以在设计时，将板内 LvCMOS 的串口信号接入到板边的单排针连接器 J2。 该串口信号接入到底板后，通过 CP2102 将其转换成隔离的虚拟 USB 串口，用于本地配置参数和监控同步状态。

  Due to the limited panel space, the UART port for the console is connected to the 1x6 connector J2. Using CP2102 and magnetic isolation, the PSB converts the UART signals on J2 to a Mini USB serial port for management.

CUTE-WR-A7 子模块是通过 FMC 连接器 J1 和板边单排针连接器 J2 共同接入 EVB/PSB 底板，在安装或移除 CUTE-WR-A7 子模块时要注意 J2 连接器。

The J1 and J2 are both applied when the CUTE-WR-A7 is mounted on the EVB/PSB/xxEB，attention must be paid to the J2 when install or remove the mezzanine.

连接运行 Startup

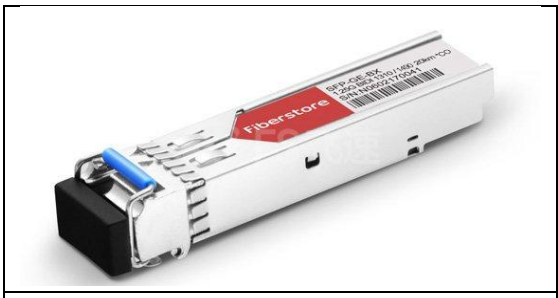
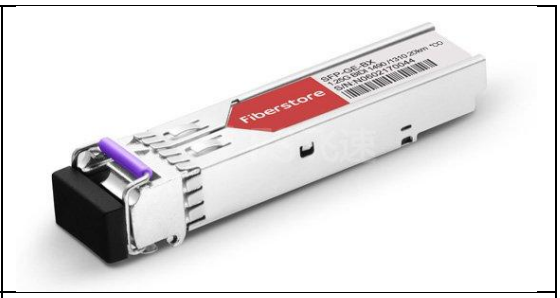
设定合适的工作模式后，在 CUTE-WR-A7 的 SFP 端口插入对应的光模块；使用 G652D 单模光纤将该端口和匹配功能的其它 WR 设备连接，上电等待约 30s 后 CUTE-WR-A7 即与相连设备实现时钟同步。可以通过秒脉冲（PPS）输出判断设备间时间同步准确度。

According to the setup, the slave port should connect with master port of other WR gears, the master port should connect with slave port of other WR gears. Pair of matched BiDi SFP modules should be used on two sides, link them with a fiber type that matches the specification. Wait about 30 seconds after both sides are powered, then check the LED if the WR link is established and synchronized. Using time-interval-measurement devices like oscilloscope to measure the PPS signals of both sides to evaluate the synchronization performance of the link.

➢ SFP 光模块 SFP Modules

根据需求，可以使用不同的 SFP 模块。确定 SFP 模块后，需要进行标定，以确定 SFP 模块的延迟参数。推荐使用下表的 SFP 模块，对应的光纤类型为单模 LC/LC G.652.D, OS2 9/125um。

Different SFP modules are supported (Check here for compatible SFP modules). In case the SFP models are not listed, additional calibration must be taken. The SFP modules listed below are recommended for normal applications with a matching fiber type of: SM LC/LC G.652.D, OS2, 9/125um.

	
1310nm-TX/1490nm-RX 20km # 15535 GE-LC-1310 （蓝色，用于从端，WRN 端） Blue, used in slave port	1490nm-TX/1310nm-RX 20km # 39140 GE-LC-1490 （紫色，用于主端，交换机端） Purple, used in master port

➢ SFP 铜口模块　　SFP Copper Module

可以在 SFP 中插入铜口模块，实现千兆网线的接入。但此时该链路不能支持 WR 协议，无法实现高精度时间频率的传递。当对单个节点进行固件更新时，可以使用这种类型的模块和计算机直连。

SFP copper modules can be inserted into the SFP cage to support 1000Mbase-Tx. But the WR protocol **CAN NOT** operate on copper link that the time and frequency distribution is not possible.



配置管理 Management

用户上位机可以通过 USB 接口（UART 协议，115200 波特率，8 位数据位，1 位停止位，无奇偶校验 – 115200N81）对 CUTE-WR-A7 进行配置。CUTE-WR-A7 自身并不提供串口，需要通过 PSB，EVB 或者其他载板来提供。

The communication parameter used by the USB serial port is (115200 Baud, 8bit data，1bit stop, no polarity check -- 115200N81 in short)。 USB serial port is available from the carrier board like PSB / EVB.

Linux 系统 Under Linux

在 linux 系统下，端口对应计算机上的不同设备，PC 可以使用类似 minicom、putty 等软件与 WR 设备连接。

使用 minicom 连接的命令示例：

```
sudo minicom -D /dev/ttyUSB0 -b 115200
```

Under Linux environment, those USB ports are mounted as different devices. You can use terminal software such as minicom or putty to visit those devices. The default baud rate is 115200. An example command line like

```
sudo minicom -D /dev/ttyUSB0 -b 115200
```

Windows 系统 Under windows

下载并安装 Putty 等工具。

插上 USB，找到 Mini-USB 在 Windows 中对应的串口号，比如 COM9。打开 Putty，设置连接参数

To access CUTE-WR-A7 through USB under Windows (XP, Vista, Win7, Win8)，download and install Putty.

After Connect the USB cable to CUTE-WR-A7, check the correspond serial port number in window's "device manager" => "Ports (COM & LPT) " that is required in the Putty configuration.

控制台命令 Console Commands

配置过程采用交互式命令行，类似 Linux 中的终端或 Windows 中的 CMD。目前节点支持的命令如下表：

CUTE-WR-A7 provide the following commands:

ver	查看当前版本 Check current firmware version
time	查看当前时间 Check current time
time raw	以秒+纳秒计数形式显示时间 Check current time in sec + nsec counters
time setsec []	手工设置整秒计数（仅针对 GM 或者 freerun 的 master 节点）
temp	查看节点温度 Check temperature.
gui	查看同步状态。请查看“WR 同步状态”章节 Check synchronization status. Refer to “WR status” for details
stat	查看统计信息 请查看“WR 同步状态”章节 Check the status information in line. Refer to “WR status” for details
CUTE-WR-A7 需要读取 SFP 模块的类型信息，以查找匹配相应的延迟参数值。相关的命令如下： The following commands are used to manage the SFP information.	
sfp show	查看当前各端口 SFP 标定参数 Display the current SFP database
sfp erase [port]	清除指定端口所有 SFP 标定参数 Clear SFP database on certain port
sfp match	查看当前 SFP 的标识符/匹配各端口的标定参数 Check current SFP parameters applied to each port.
sfp add [sfpID] [dTx] [dRx] [alpha_h] [alpha_l]	增加端口的 SFP 标定参数，每个端口能保存四组标定参数 Add SFP type to the database. Each port can store 4 types sfpID: SFP ID, can be read by “sfp match” dTx: fixed delay of transmission dRx: fixed delay of receiving alpha: asymmetric value of the fiber. alpha_h=2^{62}*alpha/10^9; alpha_l=2^{62}*alpha%10^9
CUTE-WR-A7 有多种不同的工作模式，其查看和设定命令如下：	

CUTE-WR-A7 has different operation modes, refer to “operation mode”：	
mode	查看当前运行模式 Check current operation mode
mode [mode]	修改当前运行模式 Set operation mode slave/ master/
配置 AUX 输出通道的信号格式和参数, 参考 AUX 通道章节 Configure the AUX channel	
aux show	查看当前相关的设定 check current setting
aux mux	选择 AUX 通道信号类型 Set the source of AUX channel
aux pwm	设置 PWM 信号源参数 Set the parameters of PWM
aux pps	设置 PPS 信号源参数 Set the parameters of PPS
aux tai	设置 TAI 信号源参数 Set the parameters of TAI
aux fdly	设置 AUX 通道精细延迟 Set the fine delay taps of each AUX signal
通过串口控制台能够设定和查看节点的网络地址信息，相关命令如下： Check and set the Ethernet address information	
ip	查看双端口 IP 地址 Check IP setting on both ports
ip set [IP] [port]	配置端口 IP 地址。默认子网掩码 255.255.255.0 Set the IP address of the selected port with sub-net mask of 255.255.255.0
mac	查看节点固定的 MAC 地址 CUTE-WR-A7 的 MAC 地址为基地址+64bit 1-wire ID。 Check the fixed MAC address （preset base MAC + Unique 64bit from 1-wire ID chip on board）
通过控制台命令进行的修改，例如运行模式，IP 地址等，在设备重启后将丢失。为了保证设备在上电启动后就能够具有正确的参数，可以将需要设定的执行命令写入到启动执行脚本中。CUTE-WR-A7 控制台不支持输入编辑，如果增加命令的时候产生输入错误，就需要擦除全部脚本并重新增加命令。	

Any setting made by commands in the console will lost after power cycle. If those settings are expected after power up, the correspond command can be added to an initial script that will be executed automatic during power up. There is no edit support for the script, any typo error will require an erase and add all the commands again.	
init show	查看当前启动脚本 Check the initial script
init erase	清除启动脚本 Clear initial script
init add xxxx	增加命令，命令内容为后面写入的 xxx Add a command “xxx” to the script
init boot	重启软核 Execute the script
调试用命令 Debugging command	
calibration	查看节点 t24p 延迟参数 和 PPS 输入延迟参数 Check the t24p calibration parameters
Calibration force	重新校准端口的 t24p 参数 Force to re-calibrate the t24p value
PTP start [port]	手动启动端口的 ptp 同步进程 start the PTP daemon process manually.
PTP stop [port]	手动关闭端口的 ptp 同步进程 Close the PTP daemon process manaually
sdb	查看当前 wishbone 总线上所有的设备
sdb fs 0	格式化 FLASH，清除全部参数和脚本 Format the FLASH memory, clear ALL parameters and scripts.

WR 同步状态 WR Status

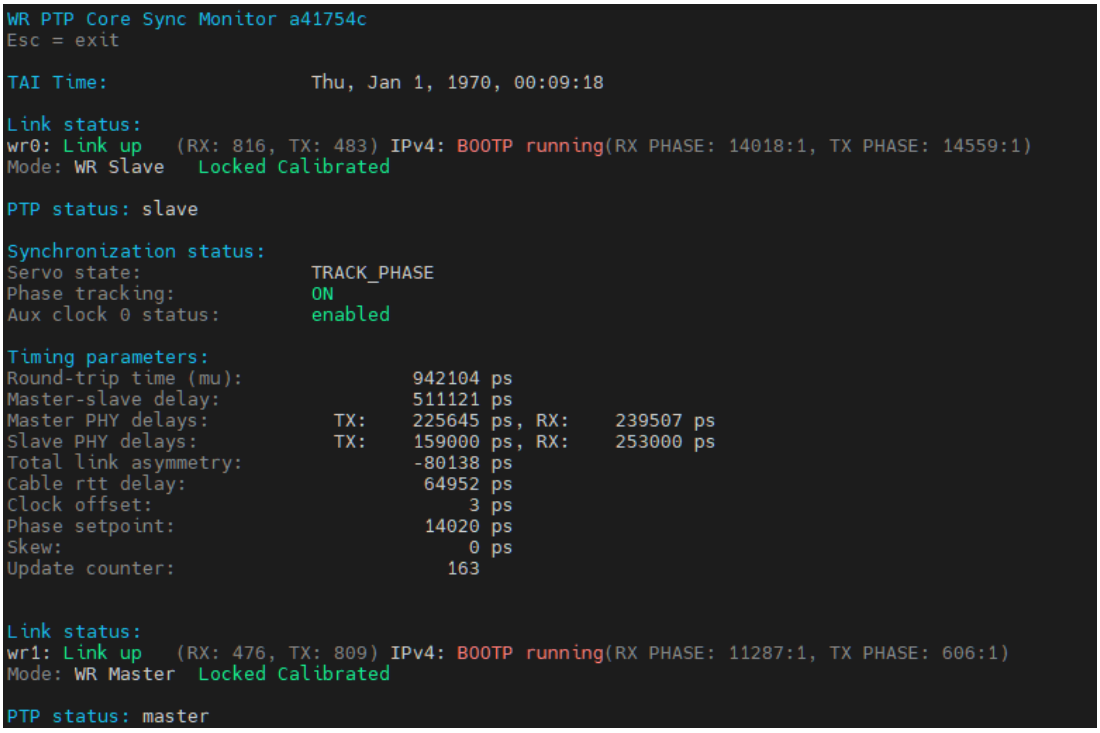
GUI 和 stat 是用于查看节点同步状态的命令。

“GUI” and “stat” commands are used to check the synchronization status of the node.

GUI 命令将当前 WR 同步的所有参数和状态都清楚的显示出来，是查看 WR 同步过程的有力工具。该命令每秒刷新一次，按 Esc 键可以退出刷新显示。GUI 命令主要输出处于 slave 模式的端口信息，对于 master 模式的端口只显示当前节点时间，链路状态，Tx/Rx 数据包计数，IP 地址等有限的信息。

GUI is a monitoring function used to check the WR synchronization status. The information is presented in a clear, auto-refreshing screen (see the figure blow). The information is refreshed at every WR iteration or periodically if nothing else happens (so you see an up-to-date timestamp). The period defaults to 1 second. To exit from this console mode press <Esc>.

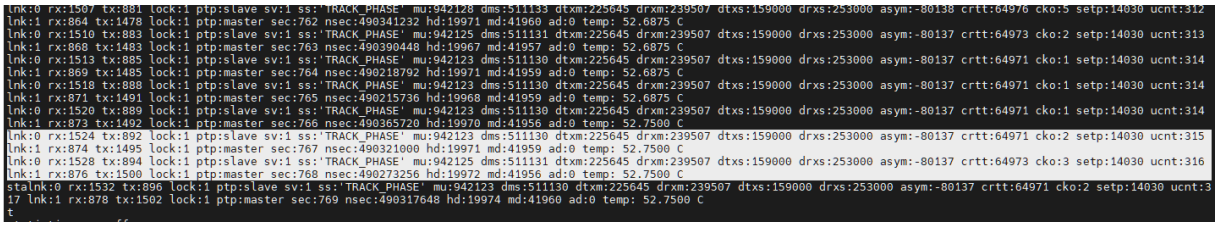
the Synchronization status and Timing parameters in gui are available only in the WR Slave port. When the port is running as WR Master, only the current date and time, link status, Tx and Rx packet counters, IP, lock and calibration status are shown.



stat 命令以单行的形式输出和 GUI 命令相同的信息，便于记录和分析。在输出 Stat 信息的同时，仍然可以输入和执行新的命令。Stat 命令类似一个开关，每次输入命令都会切换开关状态，也可以在 stat 命令后加入“on”或“off”参数来强制打开或关闭 stat 输出。

Stat 命令仅针对处于 slave 模式的节点，并且在其与 master 进行同步交互的时候更新输出。Master 节点，Grand master 节点，或未建立 WR 连接的 slave 节点都没有 stat 输出。

If you want to log statistics from the WRPC operation, it is better to use a stat shell command. It reports the same information as gui, but in a single line, which is easier to parse and analyze: Unlike gui, the stat command runs asynchronously: you can still issue shell commands while stats are running. You can stop statistics by running stat again. As an alternative to the toggling action of stat alone, you can use “stat on” or “stat off”. Statistics are printed every time the WR servo runs; thus no statistics are reported when the node is running in master and GrandMaster mode, nor when your node is running as slave and the master disappeared.



GUI 命令和 stat 命令输出参数的具体含义如下表：

The parameters from GUI/stat are listed below:

TAI Time	Current state of device’ s local clock
RX / TX	Rx/Tx packets counters
IPv4	IP address; also whether it is statically configured or acquired via BOOTP (and the status of BOOTP)
mode	Operation mode of the WR port <WR Master, WR Slave>
<Locked, NoLock>	SoftPLL lock state
<Calibrated,Uncalibrated>	Status of PHY calibration;-not used

	anymore
PTP status	Current state of PTP state machine
Servo state	Current state of WR servo state machine - <Uninitialized,SYNC_SEC, SYNC_NSEC, SYNC_PHASE, TRACK_PHASE>
Phase tracking	Is phase tracking enabled when WR Slave is synchronized to WR Master - <ON, OFF>
Aux clock <N> status	Statuses of AUX clocks; one status line per available AUX clock; can contain <enabled> and <locked>
Round-trip time ($delay_{MM}$)	Round-trip delay in picoseconds
Master-slave delay ($delay_{MS}$)	Estimated one-way (master to slave) link delay
Master PHY delays (ΔTX_m, ΔRX_m)	Transmission/reception delays of WR Master’ s hardware
Slave PHY delays (ΔTX_S, ΔRX_S)	Transmission/reception delays of WR Slave’ s hardware
Total link asymmetry	WR link asymmetry calculated as $delay_{MM} – 2*delay_{MS}$
Cable rtt delay	Round-trip fiber latency，calculated as $delay_{MM}$ -(ΔTX_m+ΔRX_m +ΔTX_S+ΔRX_S)
Clock offset ($offset_{MS}$)	Slave to Master offset calculated by PTP daemon
Phase setpoint	Current Slave’ s clock phase shift value
Skew	The difference between current and previous estimated one-way link delay
Update counter	The value of a counter incremented every time the WR servo is updated

AUX 通道 AUX channel

CUTE-WR-A7 产生 8 组 AUX 信号通道，由 OSERDES 串行输出，通过多路选择器从多种预设的信号源中选择其实际输出的信号格式。

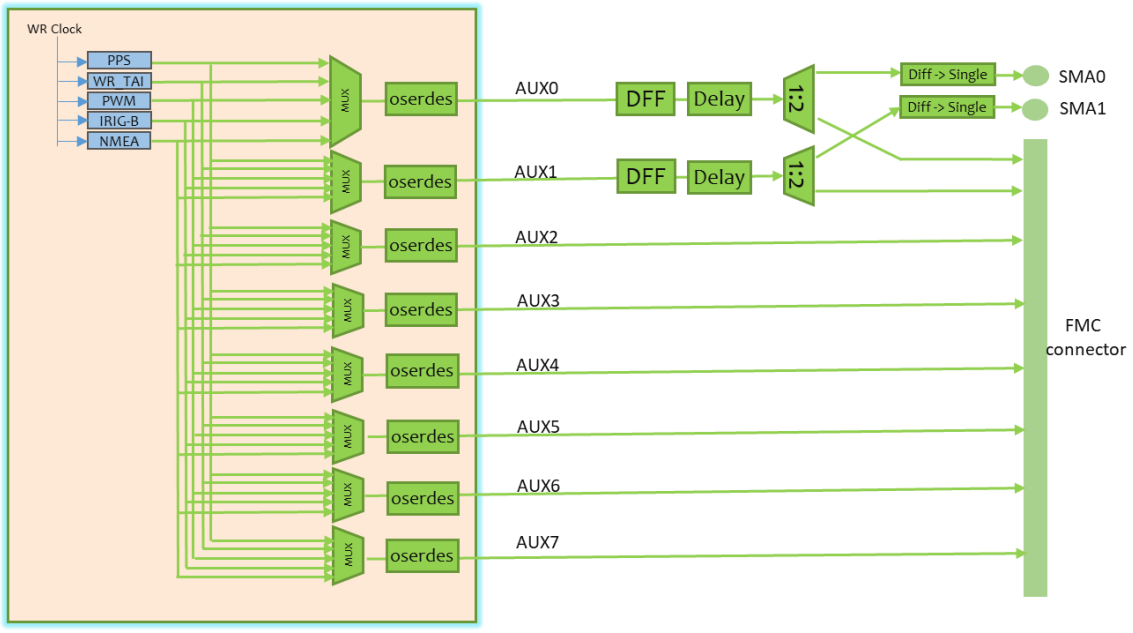
AUX0 和 AUX1 两个通道，在选定 AUX 信号类型后，从 FPGA 输出后，经过外部延迟调整，并扇出为两组，其中一组接入到 FMC 连接器，另外一组经过差分-单端转换后连接到前面板 SMA。

受到 CUTE-WR-A7 核心板尺寸的限制，其余 6 个 AUX 通道并未提供延迟调整和抖动清理处理，需要时可以在外部底板上进行相应处理。

8 auxiliary signal channels are generated from CUTE-WR-A7 for testing or interfacing with other devices，generated by SERDES modules and can be configured to select from several pre-set signal sources such as PPS, IRIG-B and NMEA.

The onboard AUX0 and AUX1 signals from the FPGA then passes through a jitter clean DFF, a fine delay chain before reaches the 1:2 fanout; one of the fanout signal presents on the FMC connector while the other one is converted to single-end and presented on the front panel SMA connector.

Restricted by the limited PCB dimension, the other 6 AUX channels have no fine delay adjustment nor jitter clean DFF circuits and can be implemented on the carrier board if needed.



AUX 信号源类型 AUX sources

CUTE-WR-A7 内部逻辑产生了如下几种 AUX 信号源

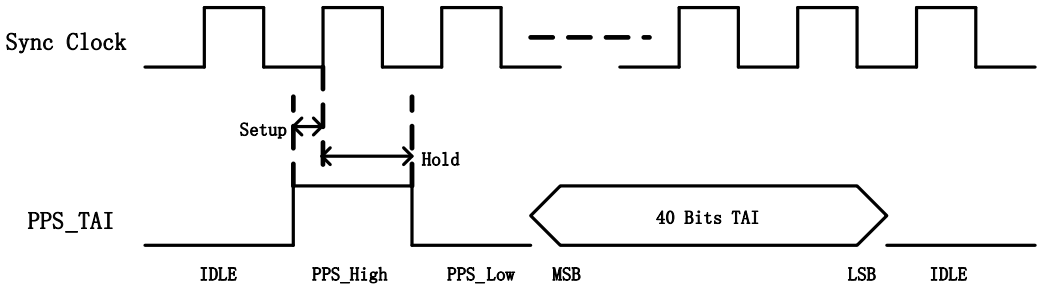
Several signal sources are generated inside the CUTE-WR-A7 logic:

	AUX 信号源类型	AUX signal sources
0	秒脉冲	Pulse Per Second
1	WR 串行时间编码	WRTAI
2	可配置周期信号	PWM
3	授时 B 码	IRIG-B
4	NMEA 串行协议	NMEA

WRTAI 串行时间编码 WRTAI time code

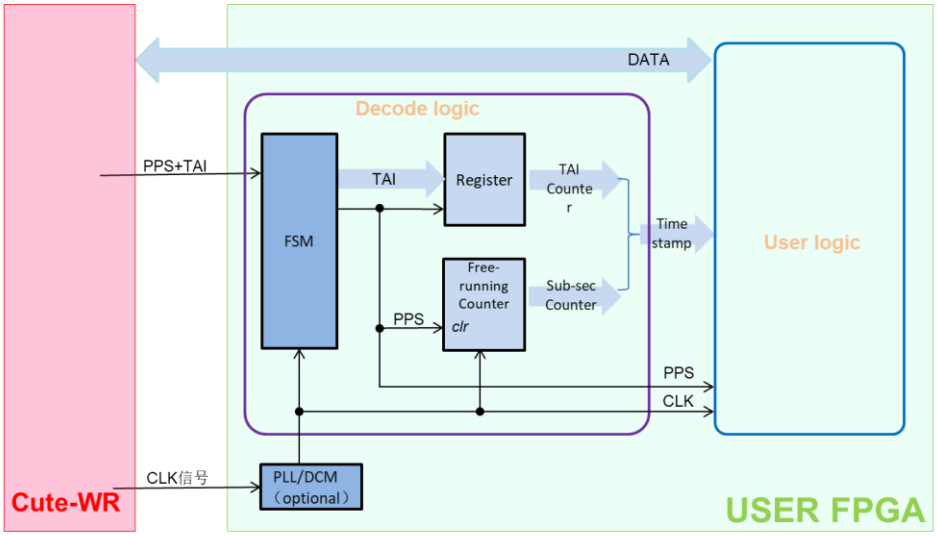
WRTAI 编码将 PPS 信号和 TAI 时间进行合并后进行串行编码，首先发送一个周期的 PPS 脉冲，随后串行发送 40bit 的 TAI 时间编码。

PPS and TAI are serially encoded into one "WRTAI" signal as shown below.



应用时，用户端应有逻辑对上述编码信号进行解码，并还原出 PPS 信号和 TAI 时间编码，其基本逻辑结构如下图所示（左侧为 CUTE-WR-A7，右侧浅绿色为用户端的逻辑处理部件）：

Decode logic are required on the receiver side to recover the PPS and TAI time. The structure of the decode logic is as below:



用户端使用 CUTE-WR-A7 提供的 GBTCLK0_M2C_P(N) / 可配置 PWM 信号作为*系统时钟*，也可以用 PLL/DCM 进行进一步处理。PPS_TAI 信号和 Sync-clock 源端对齐，其编码的起始脉冲 PPS_H 周期对应的上升沿即代表了 TAI 的整秒时刻，可以以此恢复出标准 PPS 信号；后续的 40bit 串行编码可以恢复出当前时刻的 TAI 计数。用户端使用*系统时钟*维护一个亚秒时间计数器，当恢复出 PPS 信号的时刻将该亚秒计数器清零。这样在用户端即可获得同步系统时钟，PPS 信号以及*{TAI 计数器&亚秒计数器}*合并得到的完整时间戳。上述用户端解码逻辑可以参照示例代码 fmc_timer.v

Decode logic can get the GBTCLK0_M2C/configurable-PWM as the sys-clock, or using PLL/DCM for further synthesize. The PPS_TAI is source aligned with those sys-clock, the rising edge of the starting PPS_H pulse represents the exact moment of the new TAI second, the PPS can then be reconstructed accordingly; the following 40 serial bits give the TAI count value of current second. Inside the decode logic, a sub-second counter is driven by the sys-clock and cleared when the reconstructed PPS is valid, a timestamp can be achieved by attaching the TAI counter and the sub-second counter. User logic can receive the sys-clock, reconstructed PPS and timestamp from the decode logic. A sample code of the decode can be found in the fmc_timer.v

IRIG-B 时间编码　　IRIG-B time code

CUTE-WR-A7 提供 IRIG-B 0 2 7 授时编码：B 表示每秒传输 100 个码元；0 表示采用脉宽编码区分逻辑“0”、“1”及位置标识“P”，“0”的高电平持续码元的 2/10，“1”的高电平持续码元的 5/10，“P”的高电平持续码元的 8/10；2 表示以 1 ms 为基本分辨率；7 表示由 DiY、年份、SiD 三个部分组成，且均采用 BCD 编码表示。

The CUTE-WR-A7 supports IRIG-B 0 2 7 time synchronization encoding:

- The letter B means 100 symbols are transmitted per second;
- The digit 0 denotes pulse-width encoding used to distinguish logic "0", logic "1" and position identifier "P": the high-level duration of "0" accounts for 2/10 of one symbol period, that of "1" takes up 5/10 of one symbol period, and that of "P" occupies 8/10 of one symbol period;
- The digit 2 represents a basic resolution of 1 ms;
- The digit 7 indicates the time code consists of three segments: DiY, Year and SiD, all encoded in BCD format.

NMEA 时间编码 NMEA time code

NMEA 是 National Marine Electronics Association 的缩写，是美国国家海洋电子协会的简称，现在是 GPS 导航设备统一的标准协议。CUTE-WR-A7 提供 NMEA 0183 协议授时，通过串口协议发送，波特率 115200 8N1。

NMEA stands for the National Marine Electronics Association, commonly known as the National Marine Electronics Association of the United States. It is now a unified standard protocol for GPS navigation equipment.

The CUTE-WR-A7 supports time service via the NMEA 0183 protocol, which is transmitted over a serial port at a baud rate of 115200 with the serial parameter configuration of 8N1.

➢ AUX 信号源默认状态 AUX source status

AUX 信号源在在不同模式下的工作状态如下表：

The working status of the AUX sources are listed below:

<table>
<tr><th>Operation mode</th><th>PPS</th><th>PWM</th><th>TAI/IRIG-B/NMEA time code</th></tr>
<tr><td>GM</td><td colspan="2">启动后输出，同步到外部频率时间参考后重置
Output after power up, reset after synchronize to external reference</td><td>同步到外部频率时间参考后才有输出
Only valid after synchronize to external reference</td></tr>
<tr><td>Master</td><td colspan="3">启动后持续输出 valid after power up</td></tr>
<tr><td>Cascade</td><td colspan="2">启动后输出，同步到上行链路后重置
Output after power up, reset after synchronize to SFP0 port</td><td>SFP0 无链接时立刻输出；SFP0 有链接时，完成同步后才有输出
Valid after power up if there is no WR link on SFP0, otherwise till the synchronization on SFP0 finished.</td></tr>
</table>

Slave	启动后输出，同步到上行链路后重置 Output after power up, reset after synchronize to SFP0 port	同步到上行链路后才有输出 Only valid after synchronize to SFP0

➢ AUX 通道配置 AUX channel configurations

下述控制台命令用于配置 AUX 通道：

The following console commands are used to configure the AUX channel

- aux mux [channel] [type]

  该命令用于选择每个 AUX 通道的信号类型

  Select the signal source of AUX channel

  Channel： AUX channel 0 - 7

  Type : AUX signal source

- aux fdly [channel] [fdelay]

  该命令用于设置每个 AUX 通道信号的精细延迟

  Set the fine delay taps of each AUX signal

  channel: AUX channel 0/1

  fdelay: fine delay taps，step 11ps，range 0-511

➢ AUX 信号源配置 AUX signal source configurations

- aux pwm [cdly] [high] [low]

  该命令用于调整 FPGA 内部产生的定制 PWM 信号源格式

  Configure pwm source

  定制 PWM: 配置粗延迟、高/低电平持续时间；高低电平持续时间之和为信号周期，不应小于 8 (对应最小周期为 8*2=16ns，对应 62.5MHz)

  PWM: coarse delay, high and low period should be configured. Note that the minimal period of PWM is 16ns, that means sum of high and low period should be bigger than 8.

  cdly : 粗延迟参数，**步长 2ns**，设置范围 0-499999999

coarse delay, 2ns step, range 0-499999999;

high : 高电平持续时间，**步长 2ns**，设置范围 0-499999999

high level period; 2ns step, range 0-499999999

low : 低电平持续时间，**步长 2ns**，设置范围 0-499999999

low level period; 2ns step, 0-499999999

- aux pps [cdly] [high]

  该命令用于调整 FPGA 内部产生的秒脉冲信号源格式

  Configure pps source

  秒脉冲: 配置粗延迟，高电平持续时间

  PPS: coarse delay, high level period should be configured

  cdly : 粗延迟参数，**步长 2ns**，设置范围 0-499999999

  coarse delay, 2ns step, range 0-499999999;

  high : 高电平持续时间，**步长 16ns**，设置范围 0-62499999

  high level period; 16ns step, range 0-62499999

- aux tai [cdly]

  该命令用于调整 FPGA 内部产生的 WR 串行时间编码信号源格式

  Configure WRTAI source

  WR 串行时间编码: 配置粗延迟

  WRTAI time: coarse delay should be configured

  cdly : 粗延迟参数，步长 2ns，设置范围 0-499999999

  coarse delay, 2ns step, range 0-499999999;

  high: WRTAI 编码波特率，步长 16ns，设置范围 1-8000

  baud rate of WRTAI coding, 16ns step, range 1-8000

- aux show

  该命令返回当前相关的设定

  Return the current AUX settings

固件升级 Firmware Update

CUTE-WR-A7 的固件是指板上 FPGA 的编程文件, 该固件可以通过网络连接的方式进行远程更新。

保证进行升级操作的计算机能够通过网络连接正常访问需要升级的 CUTE-WR-A7 模块。该连接不需要保证兼容 WR 协议，可以使用网线和铜口 SFP 来建立连接。

如果配置了 WRS 交换机，那么升级计算机应该连接在 WRS 交换机的 1-18 端口所在的网络，不应该连接在 WRS 交换机管理端口所在的网络。如果没有 WRS 交换机，那么升级计算机可以直接连接 CUTE-WR-A7 模块。

计算机的 IP 地址应该和待升级的 CUTE-WR-A7 的 IP 地址在同一个网段(使用 IP set 命令可以设置 CUTE-WR-A7 的 IP 地址)，计算机能够正确接收到 CUTE-WR-A7 的 ping 回复。

The firmware stored for the FPGA on the CUTE-WR-A7 can be remotely updated through the network.

The computer running the update should be in the same network subnet to guarantee its access to the CUTE-WR-A7. No WR synchronization is required during the update thus the SFP copper module and network cable can be applied.

If WR Switches are in between the computer and the CUTE-WR-A7, make sure the computer is inside the 18 WR ports network domain BUT NOT the management port network domain.

Make sure the CUTE-WR-A7 can reply the ping request from the computer, (the CUTE-WR-A7' s IP address can be modified with "IP set" command) the device can not be power off during the update.

使用 Python 批处理 With Python Batch file

在计算机上下载并安装 python2.7 及以上版本，并预先下载需要升级的固件镜像文件，和远程更新批处理文件。

Prepare the python2.7, download the firmware bitstream file and the update batch script files.

- CUTE-WR-A7-xxx.bin (the latest Firmware bitstream file)
- program_WR_node.py

用记事本等工具打开 program_WR_node.py，将文件中的 UDP_IP 端修改为待更新的 CUTE-WR-A7 的当前 IP 地址。

用管理员身份在终端窗口中运行 python program_WR_node.py， 等待几分钟后即可完成更新。断电重启，通过 ver 命令检查是否更新成功。

Modify the UDP_IP field in the program_WR_node.py to the current IP address of the CUTE-WR-A7 that to be updated. Run the update script in the terminal with administrator, wait until the script exits. Power cycle the CUTE-WR-A7 and check with ver command.

```
#!/usr/bin/python
# -*- coding: utf-8 -*-
from remote_update import *
def main():
        MY_IP = "192.168.0.1"
        UDP_IP= "192.168.0.205"
        filename = "./mini_wr_udp_elf.bin"
        program_wr_mini(MY_IP,UDP_IP,filename)

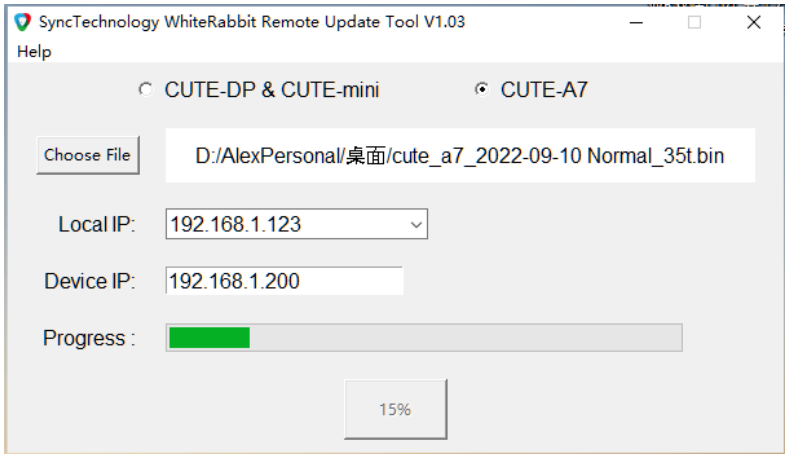
if __name__ == '__main__': main()
```

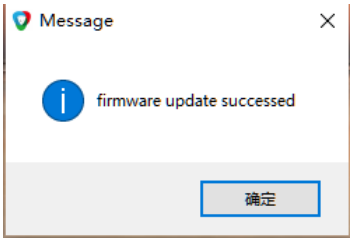
```
python version is 2.7.15
Flash Erase start
Flash Erase done!
Complete:
...0
...5
...10
...15
...20
...25
...30
...35
...40
...45
...50
...55
...60
...65
...70
...75
...80
...85
...90
...95
...100
Program Success!
```

使用 GUI 工具 With GUI

该 GUI 工具仅在 windows 操作系统环境下使用。

This tool is only used under windows environment. Set the correct IP address of local computer and the CUTE-WR-A7, choose the bitstream file then the update can be started. Be patient until it is done.





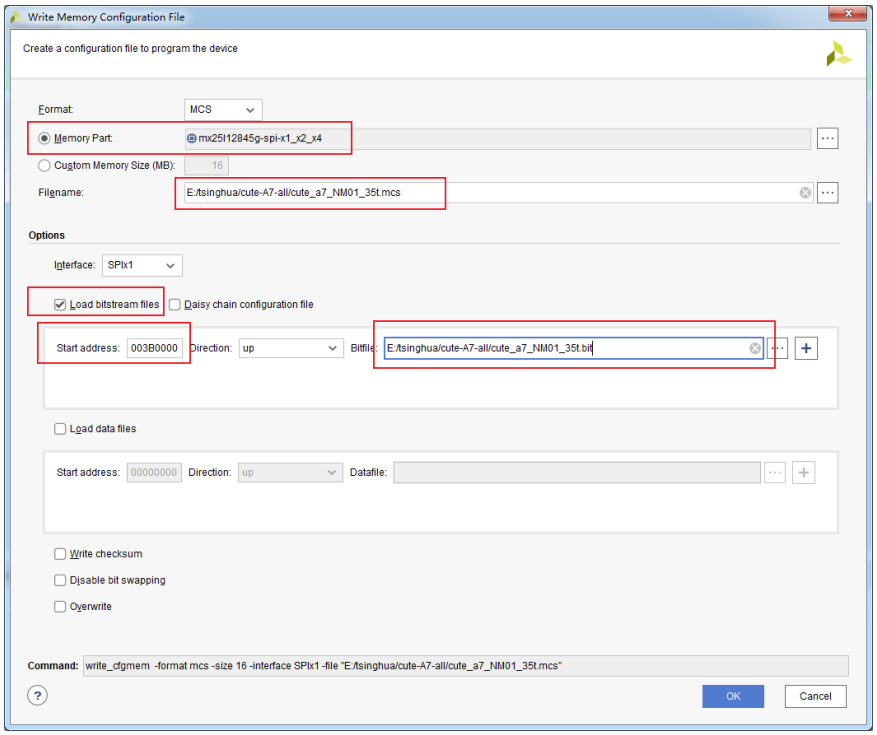
使用 JTAG 编程器 With JTAG cable

CUTE-WR-A7 支持基于网络的远程更新，该机制是基于 Xilinx 公司的 MultiBoot 技术，通过预先烧录的 Golden Image 固件(以下简称 G 固件)来支持。如果用户自行使用 JTAG 下载器来烧录 CUTE-WR-A7 的固件文件（以下简称 M 固件），可能会造成 Golden Image 文件的损坏，需要谨慎操作。如果不慎擦除了 Golden Image，请参考后续章节重新烧录。

使用 JTAG 下载固件的步骤如下：

1. 使用 bit 文件生成 mcs 文件（如果已经有 mcs 文件则跳过此步骤，到第二步）

打开 vivado 点击菜单栏“Tools” - “Generate Memory Configuration File”



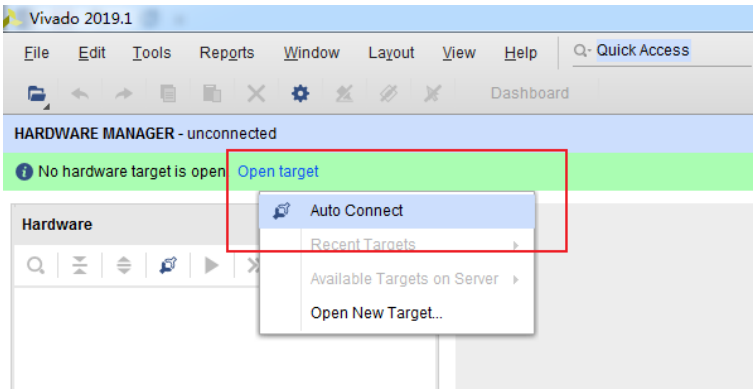
- ✧ Memory Part 选择 mx25l12845g-spi-x1_x2_x4
- ✧ Filename 中选择要生成的 mcs 的名称和保存路径
- ✧ 勾上“Load bitstream files”
- ✧ Start address 处填入 003B0000（这是 M 固件的加载地址）

在 bitfile 处选择要更新的 M 固件 bit 文件，点击“OK”生成

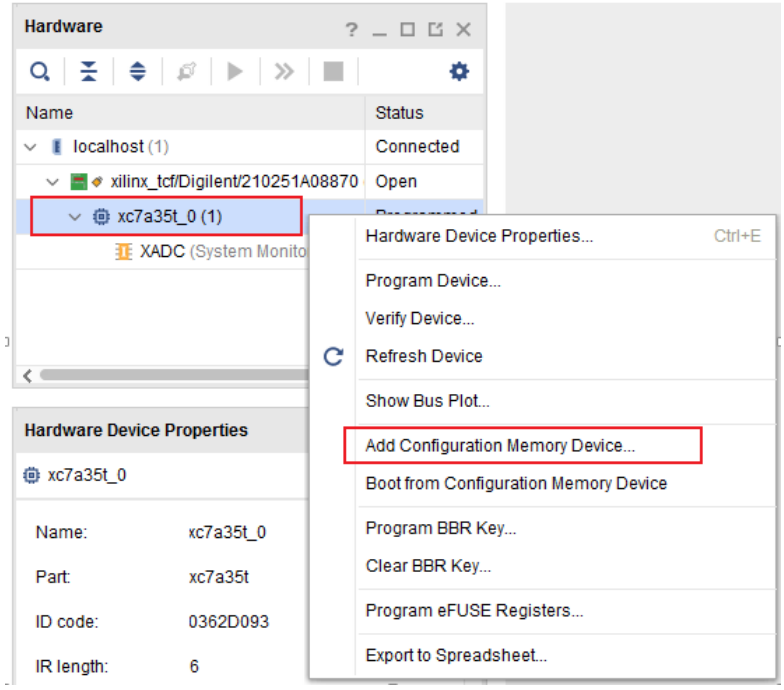
2. 连接下载器到设备“JTAG”连接器，上电

Cute-WR-A7 的 FPGA 的 JTAG 信号连接到了 FMC 连接器，在 PSB 供电地板上提供了 JTAG 编程插座。

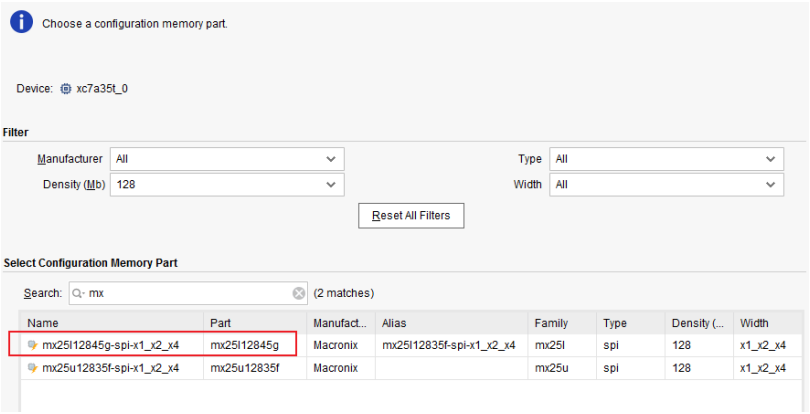
3. 打开 Vivado 点击菜单栏的“FLow”- “Open hardware manager”点击“Open target”- “Auto Connect”

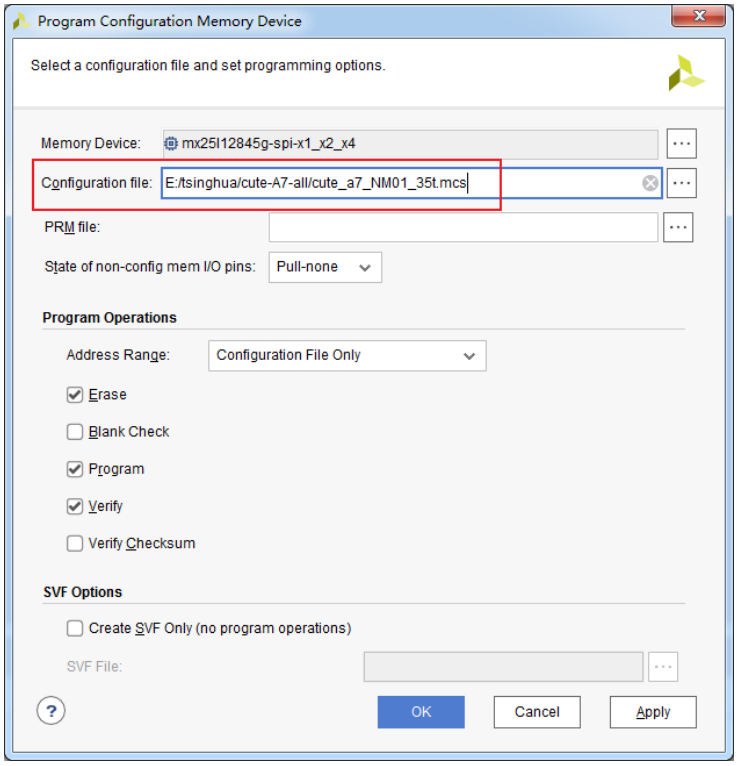


3. 根据使用的板卡具体型号，右击 FPGA 型号“xc7a35t_0”或“xc7a50t_0” 点击“Add Configuration Memory Device”

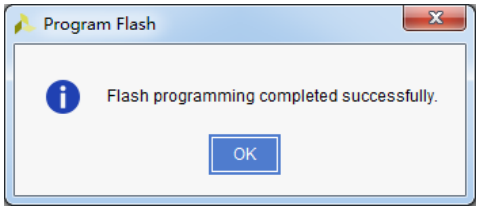


选择“mx25l12845g”后点击“OK”， 在 Configuration file 弹窗中选择 MCS 格式的 M 固件。注意 Address Range 选项应选择 Configuration file only。点击“OK”后开始更新。





等待约 5 分钟，成功提示后断开电源拔出下载器 或者 关闭 vivado 的 hardware manager 窗口，再次上电即可。



远程更新基于 Xilinx 公司的 MultiBoot 技术，通过预先烧录的 Golden Image 固件来支持。如果用户自行使用 JTAG 下载器来烧录 CUTE-WR-A7 的固件文件，可能会造成 Golden Image 文件的损坏，导致无法进行远程更新或者无法加载更新后的固件。如果远程更新出现故障，推荐使用 JTAG 下载器重新烧录一遍 Golden Image，然后再使用在线更新方式来更新固件。

The remote firmware update function, based on Multiboot technology from Xilinx, is supported by a "Golden Image" stored in the FLASH. Using JTAG debugger to manually program the CUTE-WR-A7 may damage the golden image that fails the remote update feature. If the remote update is not working correctly, please try to re-program the golden image, that is available on the product website. Please contact SyncTechnology for instructions.

恢复初始设置 Recovery

Cute-WR-A7 在焊接完成后，会进行出厂测试和初始设置。如果因为误操作导致板卡的 FLASH 内容丢失，或者在更新固件后，请按如下步骤恢复初始设置。

Initial setup may be lost by the update process or incorrect operations, and can be recovered with the following steps:

1： 初始化 sdbfs 文件系统 initialize sdbfs file system

输入 sdb fs, 擦除并初始化 sdbfs 文件系统。注意，所有的用户启动脚本和 SFP 配置参数均将丢失，建议提前做好记录。

With command "sdf fs", the sdbfs file system built in the FLASH memory will be erased and re-initialized. All contest include the init script and SFP parameter database will lost, please record them before operation.

2： 设置 t24p 参数 calibration the t24p parameters

该过程用于刻度板卡自身的时钟相位延迟，需要预先校准。该校准过程通过将待设的 SFP 端口作为 slave，连接到任意的 WR master 即可完成。这个参数是 WR 同步过程中必不可少的，即使设备仅仅用作 master，也必须正确配置该参数，因此也需

要进行校准。

为了了解设备是否已经设置了该参数，可以输入 calibration 命令，如果报告的参数值远远超过 15000ps，则说明该设备对应的端口需要进行校准。

WR devices need to make a calibration of t24p phase transition value. It has to be done only once for a new bitstream and is performed automatically when it runs in the Slave mode. That is why it is very important, even if the device is only meant to run in the Master mode, to configure it to Slave for a moment and connect to any WR Master. This has to be repeated every time a new bitstream is deployed. The measured value is automatically stored to Flash/EEPROM and used later in the Master or GrandMaster mode. Check the t24p parameters by running the "calibration" command, if the reported value is far differed from 15000ps that a calibration is required on the port.

下面示意的 Port1 的 t24p 参数就是不正确的。

T24p on port1 shown below is incorrect and needs calibration.

```
wrc# calibration
Port 0 Found phase transition in EEPROM: 15150ps
Port 1 Found phase transition in EEPROM: 2147483647ps
```

设置步骤如下： the calibration steps are listed below:

- 通过 mode slave 命令，将两个端口都设置为 slave 模式
  Using "mode slave" command to set both ports to slave mode
- 将 WR port0 连接到任意 WR master 设备，在双方进行链接的过程中，自动完成 t24p 参数的测量和存储。
  Connect WR Port0 to any WR master port, the t24p parameter is measured and stored during the link establishment.

```
Port 0 PTP start
wrc# port 0 SFP not matched!
port 0 t24p read from storage: 2147483647 ps
Port 0 PTP start
Port 0 Updating t2/t4 phase transition...
Wrote new t24p value: 15250 ps (Success)
```

- 将 SFP0 的光模块取出并插入到 SFP1 端口，连接光纤，重复该过程
  move the SFP module from WR port0 to port1, repeat the link establishment progress.
- 再次执行 calibration 命令，查看两个端口参数，应均在 15000ps 左右

Run the calibration command, check the t24p parameters on both ports.

3： 设置启动脚本

CUTE-WR-A7 默认的启动配置可以通过设置启动脚本来实现。例如下面的命令设置节点启动后的工作模式为 slave，静态 IP 地址为 192.168.1.23。

Scripts stored will be lost and need to be added again. Normally the mode setting and IP setting are required.

```
wrc# init add mode slave
wrc# init add  IP set 192.168.1.23 0
```

错误诊断 Trouble-Shooting

如果节点出现无法同步等功能故障，请按照如下步骤进行核查，并记录相关信息，以便进行诊断。

1： 检查连接情况，确认模块供电充足，SFP 光模块可靠插入，光纤链路正常。如果可以，请清洁光模块和光纤接头。(请提供一张现场连接情况的照片， 以及板卡的照片)

2： 检查链路两端的光模块是否匹配 。

3： 按照“连接运行”章节的描述检查节点的模式配置（请记录 mode 命令的输出结果，如果有多个节点请分别记录)

4： 按照恢复初始设置章节的描述，检查节点 t24p 设置是否正常（请记录 calibration 命令的输出结果)

如果故障还没有消除，请记录以下命令的输出信息，以进行故障诊断。

5： 记录 stat, ver, mac, init show, sfp show 命令的输出

6： 保持串口连接，重启节点，记录启动过程中节点的输出信息。

In case of error, please follow the steps and record the information for trouble shooting.

1: check the connection, make sure the power supply is sufficient, SFP is inserted solidly, the fiber link is normal. Clean the fiber connector and SFP if possible. (please provide a picture of the setup, and pictures of the cards)

2: check the SFP modules on both sides are matched type.

3: check the mode of the cards, following the “startup” section (please record the output of mode command, all cards are required)

4: check the t24p value, following the “recovery” section (please record the output of calibration command)

In case the error still exist, please provide the following message together for support.

5: record the output of stat, ver, mac, init show, sfp show command

6: keep the serial connection, reboot the card and record the output during the reboot

数据传输 Data Transmission

WR 技术兼容 1000Base-BX 标准，提供精确时钟的同时还能完成基于以太网的数据交换。所有数据传输功能模式均由 CUTE-WR-A7 单独提供，并非 WR 标准功能。

WR is compatible with 1000Base-BX, it is a standard ethernet link besides providing the precise clock signal. Please contact SyncTechnology for more details if data transmission through CUTE-WR-A7 is required.

延迟标定 Calibration

详细标定流程请参见《WR 延迟设置与延迟标定》。

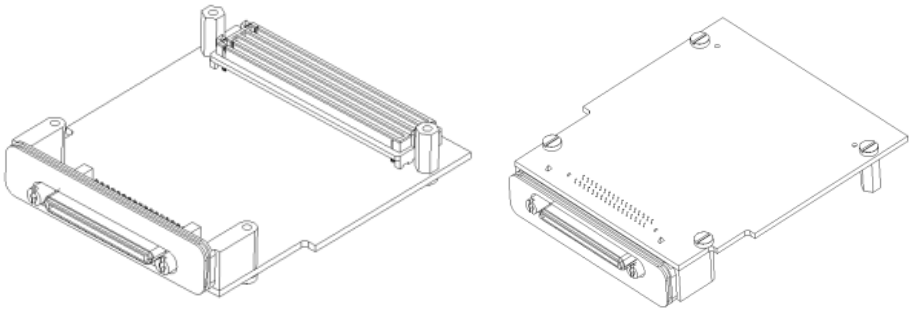
Please reference to the "calibration manual".

附录 A:

机械尺寸 Dimension

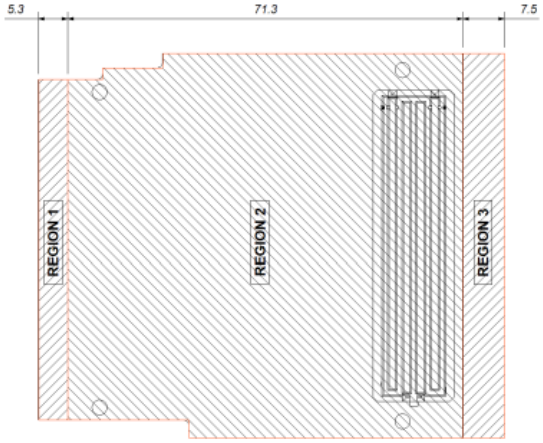
FMC 尺寸 Mezzanine Dimension

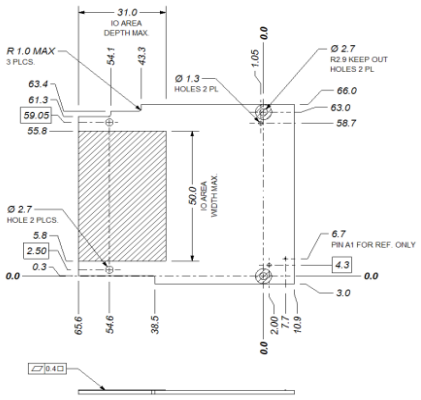
单宽 FMC 模块宽度为 69mm。下图是典型的单宽商业级 FMC 子卡例子。



PCB 板上安装有 FMC 连接器的一面标记为 A 面，另一面记为 B 面。

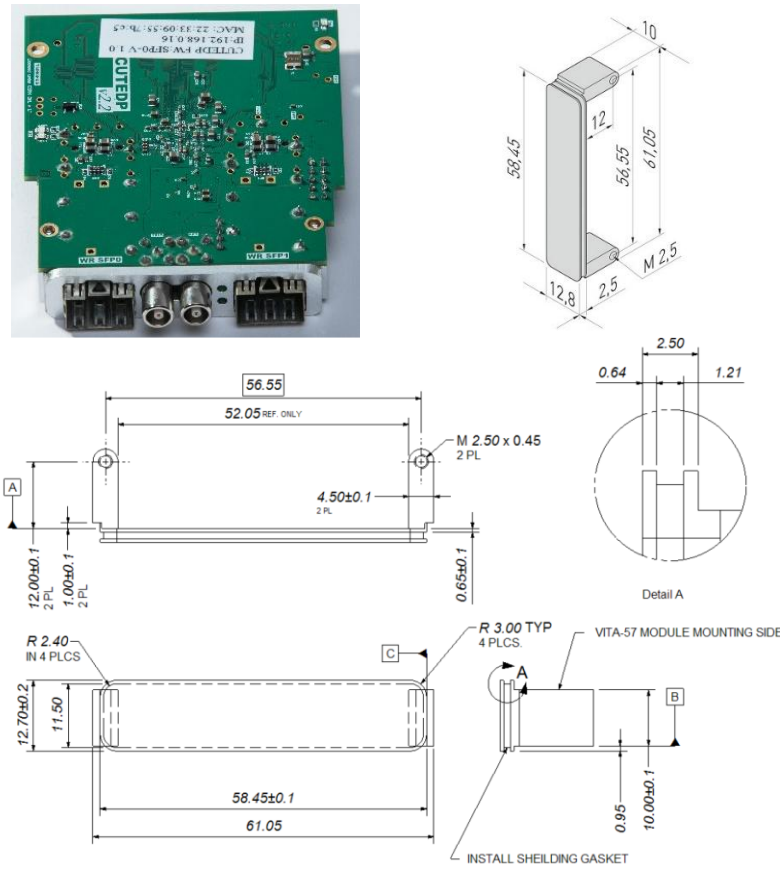
FMC 子卡定义了三个区域。这就使得子卡可以有不同但相互兼容的设计，以便模块适应不同的应用环境。单宽度FMC子卡（包括CUTE-WR-A7）只使用1区和2区。下图为子卡的机械尺寸。





FMC 面板 Mezzanine Panel

根据 FMC 的标准，FMC 模块会提供和模块匹配的前面板； 载板的面板只提供一个标准尺寸的 FMC 模块面板的安装空间，这样载板可以更换不同的 FMC 模块。如下图所示:



FMC 载板 Carrier Board

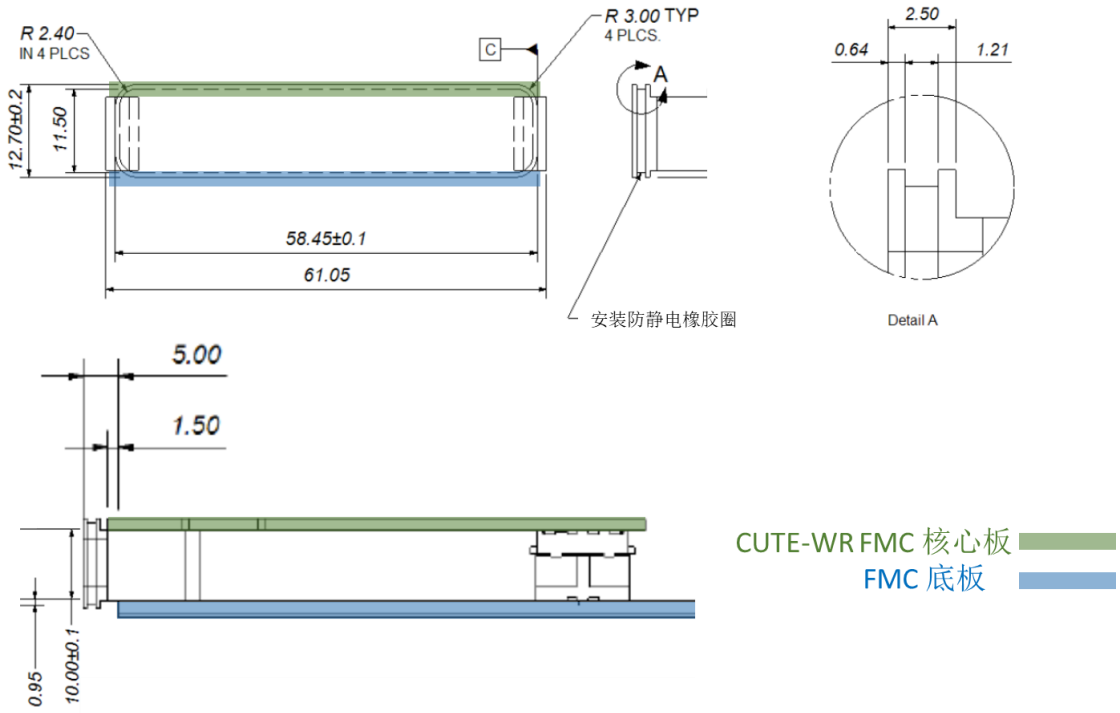
建议载板综合考虑，预留足够的 PCB 位置和安装空间，能够支持后续采用不同来改善 FMC 模块的散热。

1： FMC 载板应提供标准的 FMC 子卡安装位置，在该区域（即从载板的 FMC 连接器到板边缘区域）不布置任何元器件；，敷设大面积铜层，并去除表面阻焊层；载板将该区域铜层作为散热盘进行处理，通过大量的导热过孔连接到载板的内电铜层，利用载板较大的电路面积来辅助散热。

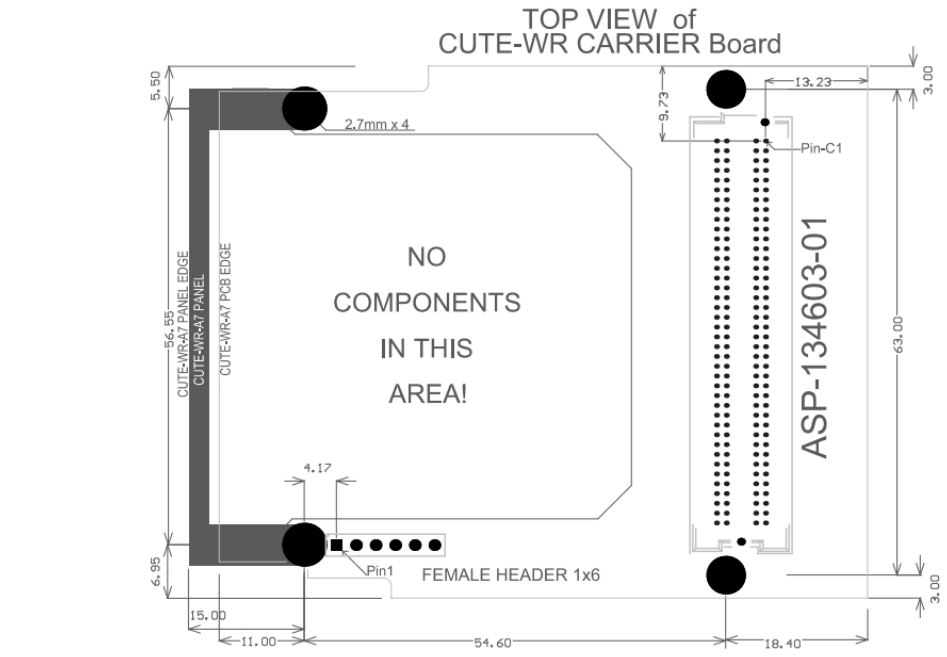
2： 在 FMC 模块两侧，至少保证有一侧保留 30mm 的区域用于安装和引出导热管，该区域不安排其它板卡，不摆放具有一定高度的器件（电解电容，接插件等），不靠近外壳，没有其他机械结构。

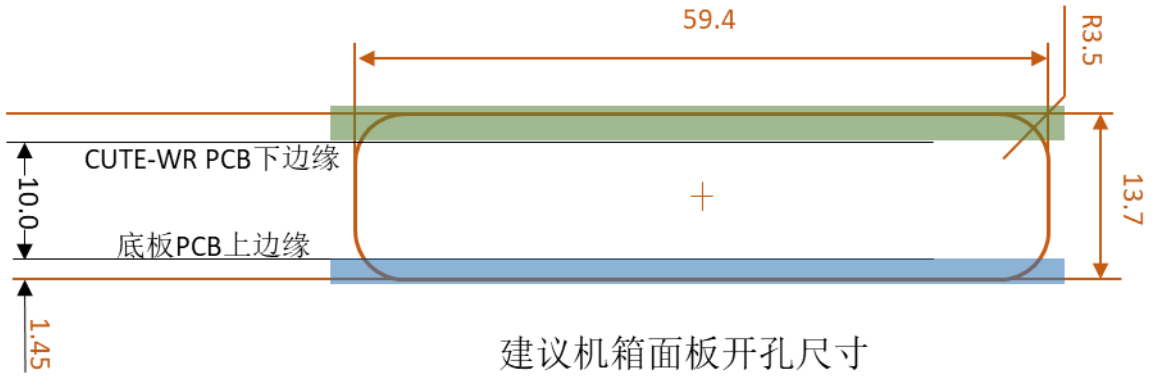


FMC 模块和底板的安装高度如下：



推荐的 CUTE-WR-A7 载板尺寸和定位和面板开口尺寸如下图





CUTE-WR-A7 的面板和散热器是通过四个 2.5mm 的螺孔紧固的，从底板背面也使用这四个螺孔将 CUTE-WR-A7 整体紧固到底板上。

如果底板固定在机箱内部，就需要拆除底板后才能拆除 CUTE-WR-A7。 这种情况下可以在底板上设计带有螺丝的铆柱，使用 14-16mm 的 2.5mm 螺丝，贯穿螺孔直接锁定到底板的铆柱上。

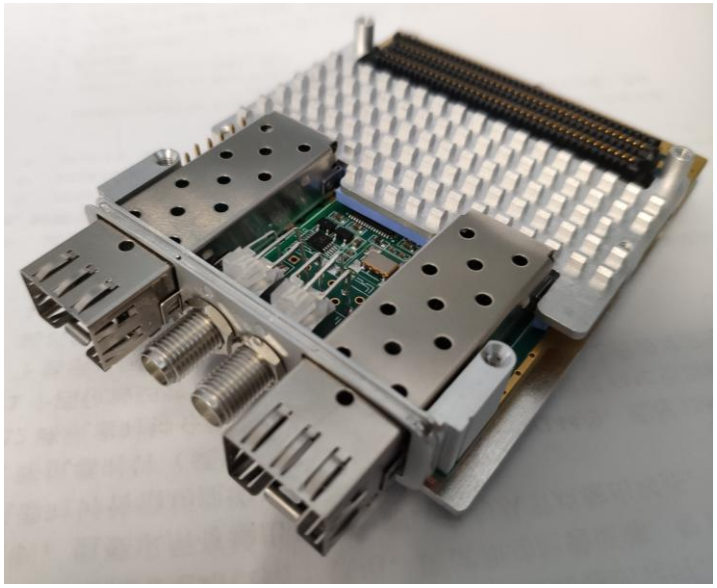
The FMC panel and heatsink are fixed to the CUTE-WR-A7 PCBA by four 2.5mm screws, which are also applied to fix the CUTE-WR-A7 PCBA to the carrier board.

Once mounted inside a crate, the carrier must be disassembled from the crate to remove the CUTE-WR-A7, that is not convenient. It is recommended to use nut that can be assembled to the bottom side of the carrier board, or to have riveting stud on the crate and use long screw to go through the whole screw hole.

模块散热 Heat Dissipation

（本节图片来自网络，仅供示意，版权归相应公司所有） Pictures are only for reference

FMC 板卡面积较小，模块上集成了高性能 FPGA，高性能时钟处理电路，使用了大量高速差分信号处理芯片，整体功耗较大。FMC 板卡提供一体式定制散热器，将 FMC 模块热量均匀的传导到散热器表面。



但由于 FMC 子板是扣在载板上，该散热器被夹在子板和载板之间，对 FMC 子板的散热不利，需要 FMC 载板提供一定的辅助散热支持。

通常有以下几种做法：

1： 载板在 FMC 对应安装位置提供散热风扇，例如下图的 FMC 载板。这种方式要求载板底部对应位置不能放置任何电路元件，并需具有良好的通风环境。由于风扇运转会带来低频的机械振动，对高性能的时钟抖动指标不利。



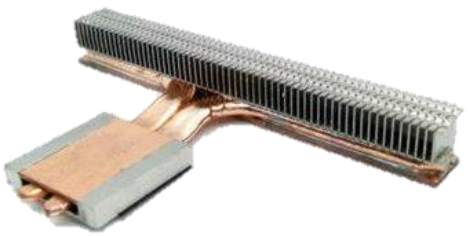


2： 采用加固导冷散热方式。通过机械结构，采用导热紧固滑块等将 FMC 模块的散热器结构和整个底板的散热结构融为一体。这种方式通常用于航空航天和军工等场合。



3： FMC 模块散热器内置扁平式热管，能够将热量充分导出。热管末端再连接其他散热块，通过接触或空气进行散热。热管有不同长度，并且能够折弯改变角度，末端连接的散热片或散热块可以灵活定制尺寸。这种模式能够提供很好的散热性能，但要求载板提供机械安装配合和主动空气散热风扇，并且对 FMC 模块的安装拆卸过程也会带来影响。





附录 B：VITA57.1 FMC 信号设计指导

本附录内容节选自《ANSI/VITA 57.1-2019》，不尽或有冲突之处，以原始标准文档为准。本节内容仅包含使用 LPC 的设计要求，HPC 部分请参考原始标准文档。

注意 5.3：名称中带有“C2M”的信号由母板驱动、IO 子卡接收

注意 5.4：名称中带有“M2C”的信号由 IO 子卡驱动、母板接收

注意 5.5：差分信号对中名称后缀带有“_P”的，表示该信号为差分信号的正信号端

注意 5.6：差分信号对中名称后缀带有“_N”的，表示该信号为差分信号的负信号端

注意 5.7：对于后缀带有“_L”的单端信号，“PRSNT_M2C_L”和“TRST_L”表明该信号低电平有效。

建议 5.1：就设计目的而言，后缀带有“_CC”字样的信号应作为时钟源同步的首选信号，并应连接到 FPGA 引脚上。

GBTCLK0_M2C_P, GBTCLK0_M2C_N, GBTCLK1_M2C_P, GBTCLK1_M2C_N-用作差分数据参考时钟的差分对，**DP[0..9]_M2C_P, DP[0..9]_M2C_N, DP[0..9]_C2M_P, DP[0..9]_C2M_N**- 这些信号构成了大于 10Gb/s 的收发数据对。

GA[0..1] -这些信号提供了模块的地理寻址，并用做 I2C 的通道选择。

VREF_A_M2C – 该引脚提供区域 A 的数据引脚（LAxx 和 HAxx）所使用的信号标准的参考电压。如果区域 A 的信号标准并不需要使用参考电压，那么该引脚可以悬空。

3P3VAUX - 3.3V 辅助电源

VADJ –这些引脚连接一个可调电源，由母板为 IO 子卡供电。

3P3V –这些引脚提供母板为 IO 子卡提供的 3.3V 电源。

12P0V – 这些引脚提供母板为 IO 子卡提供的 12V 电源。

TRST_L - JTAG Reset 该信号用作 IO 子卡上的 TAP 控制器的异步初始化。

TCK - JTAG Clock.该信号为 TAP 控制器提供独立的时钟参考信号

TMS - JTAG Mode Select. 该信号用作 IO 子卡上的 TAP 控制器的状态控制

TDI - JTAG Data In. 该信号用来将测试数据和指令的串行写入 IO 子卡

TDO - JTAG Data Out 该信号用作将测试数据和指令的串行读出 IO 子卡

PRSNT_M2C_L -模块存在信号。该信号允许母板判断 IO 子卡是否存在

PG_C2M –母板电压正常信号。当电源（VADJ,12P0V,3P3V）在许可范围内时，该信号为高电压。

SCL– 系统管理 I2C 总线串行时钟。该信号提供了从母板到 IO 子卡的时钟参考信号，使用双线串行总线。

SDA -系统管理 I2C 总线串行数据。该信号为双线串行管理总线提供了数据线。

用户定义的引脚

本规范定义了母板和 IO 子卡之间可由用户定义的接口的引脚数。利用 FPGA 上 IO 编程的灵活性，这些用户定义的引脚可以支持差分和单端信号。这使得这些引脚对于不同的 I/O 标准可以重新利用，并有助于最大限度地减少所需的物理连接器的尺寸。本规范的目的是为了定义可以同时被高、低引脚数接口支持的，用户定义的引脚数量。

LA[00..33]_P，LA[00..33]_N - 差分信号。

规则 5.3：带有‘LA’或者‘HA’前缀的引脚使用与‘A 区’相关的信号标准，并可以使用‘VREF_A_M2C’引脚上的参考电压。

规则 5.8：低引脚数连接器支持 68 个用户自定义的单端信号或者 34 个用户自定义的差分信号对。

规则 5.9：FMC 子卡 A 区的用户自定义信号必须可以承受的信号电压变化范围为-300mV 到 VADJ +300mV。

规则 5.10：母板和子卡在 A 区的用户自定义信号引脚上均不得产生超出-300mV 到 VADJ +300mV 范围的信号电压。

建议 5.3：当信号布为差分对时，每一对信号应该有 100Ω（+/- 10%）的差分阻抗。

建议 5.4：当信号为单端信号时，每路信号应提供 50Ω（+/- 10%）的阻抗。

注意 5.8：为了最大程度的提高子卡和母板的兼容性，应该首选 LVDS 和 LVTTL 信号标准。

差分参考时钟

有四个参考时钟，它们组成了母板和 IO 子卡之间的一条总线。这些时钟汇流排成差分对。

注意 5.11：有两个时钟信号（CLK0_ M2C, CLK1_M2C）在低引脚数连接器中定义使用。*在 HPC 定义中，存在 CLK[2..3]_BIDIR 两组时钟，可以由 CLK_DIR 引脚来定义其时钟信号的方向。*

规则 5.18：时钟信号 CLK0_C2M, CLK1_C2M 由母板驱动，IO 子卡接收。

规则 5.19：时钟信号 CLK0_ M2C, CLK1_M2C 由 IO 子卡驱动，母板接收。

规则 5.20：CLK0_C2M, CLK0_M2C, CLK1_C2M, CLK1_M2C 必须使用 LVDS 信号标准。

规则 5.21：所有的时钟信号引脚没有连接相应信号时，都应接对应的逻辑'0'信号。后

缀带有'_P'的信号应连接逻辑'0'，后缀带有'_P'的信号应连接逻辑'1'。

规则 5.22：时钟信号线路必须提供 100Ω（±10%）的差分阻抗。

规则 5.23：每个差分时钟对的差分长度不匹配度至多为 11ps。

规则 5.24：时钟信号 CLK0_M2C 和 CLK1_M2C 的最大周期抖动为 1ns。

规则 5.25：时钟信号 CLK0_M2C 和 CLK1_M2C 的最大循环抖动为±150ps。

建议 5.5：时钟信号 CLK0_M2C 和 CLK1_M2C 应当连接至母板 FPGA 的最优引脚 ，例如专用的时钟引脚。

千兆位接口

本规范定义了母板和 IO 子卡之间的传输速率高达 Gb/s 的数据接口。本规范力图支持高达 10Gb/s 的千兆位接口。千兆位接口带有“DP”前缀，DP 信号使用的相关参考时钟有“GBTCLK”前缀。

规则 5.26：DP[0..9]_M2C 由 IO 子卡驱动，母板接收。

规则 5.27：DP[0 ..9]_M2C 应连接到母板 FPGA 的自适应均衡 IO 收发器输入端。

规则 5.28：DP[0..9]_C2M 信号由母版驱动，IO 子卡接收。

规则 5.29：DP[0..9]_C2M 应连接到母板 FPGA 的自适应均衡 IO 收发器输出端。

规则 5.31：所有的 DP[0..9]_C2M 信号都直接连接到母板 FPGA 的引脚上。母板的这些信号不得连接其它任何设备。

规则 5.32：所有 DP[0..9]_M2C 信号必须在母板上使用外部耦合信号或者 FPGA 内部信号进行 AC 耦合

规则 5.33：母板为 DP[0..9]_M2C 信号提供的 AC 耦合电容最小为 75nF，最大为 200nF。

规则 5.42:千兆数据对线路必须提供 100Ω（±10%）的差分阻抗。

规则 5.43:每个差分数据对的差分长度不匹配度为 1ps。

注意 5.14：如果要求运行速度大于 3.125 Gb/s，就需要消除短截线。

千兆位的参考时钟

为了支持千兆位 IO 接口，通常需要参考时钟，以便确定数据传输速率。

GBTCLK0_M2C_P, GBTCLK0_M2C_N–用作时钟信号的差分对，由 IO 子卡驱动，母板接收。该信号用作差分数据的参考时钟。

规则 5.44：IO 子卡必须为千兆位接口提供参考时钟（GBTCLK）。这些时钟信号布线时必须设置为差分对。

规则 5.45：参考时钟（GBTCLK）必须使用 LVDS 信号标准。

规则 5.48:时钟线路提供 100Ω（±10%）的差分阻抗。

忠告 5.1:GBTCLK 信号应连接至母板 FPGA 的专用时钟引脚，这些引脚与千兆位数据对相关联。

JTAG 设计需求

规则 5.50：母板必须保证独立缓冲的 TCK 信号都能输入到各自的子卡。

规则 5.51：子卡在 TMS 信号上应当只有一个负载。

规则 5.52：当 FMC 子卡没有插入到母板时，母板应当直接将 TDI 引脚连接至 TDO 引脚。

规则 5.53：当 FMC 子卡不使用 JTAG 接口时，该模块应直接将 TDI 引脚连接至 TDO 引脚。

忠告 5.2：PRSNT_M2C_L 应当用来检测子卡是否存在，并用来控制 TDI 信号的转换。TDI 信号通常会直接连接到 TDO 信号，这样就绕过了子卡并保证了 JTAG 回路的完整性。

注意 5.16：对于(与系列规则相符合)的 IO 子卡,JTAG 是可选项，非必须。

规则 5.57：FMC 子卡的 JTAG 信号必须使用 LVTTL（3.3V）电平。

规则 5.58：母板不得将连接至子卡的 JTAG 信号驱动至超过 LVTTL 电平。

规则 5.59：IO 子卡不应将连接至母板的信号驱动至超过 LVTTL 电平。

I2C 设计规范

规则 5.60：IO 子卡必须提供板上 EEPROM，并使之与 I2C 总线信号通过接口相连。

注意 5.17：EEPROM 用来存储与 IO 子卡特征有关的信息。

规则 5.61：EEPROM 由 3P3VAUX 信号供电。

规则 5.70: 子卡必须使用 GA0 和 GA1 来确定非易失性存储设备 EEPROM 和可选设备的地址。地址译码时应当遵循表 10 所列的地址。

规则 5.72：母板应当直接将 GA[0]和 GA[1]引脚连接到 3V3PAUX 电源或者地信号。

注意 5.19：子卡可能需要在 GA[0]和 GA [1]引脚上放置限流电阻。

PRSNT_M2C_L 信号

保证载体卡成功地检测 IO 子卡是否安装。

规则 5.74：IO 子卡应当将本信号接地。

规则 5.76：母板应当分析 PRSNT_M2C_L 信号以确认 IO 子卡是否安装。

电源正常信号

PG_M2C 和 PG_C2M 信号标识着**表 11** 和**表 12** 中的信号是否在误差允许范围内，以保证系统稳定运行。

规则 5.77：PG_M2C 和 PG_C2M 必须采用 LVTTL 信号标准。

规则 5.78：母板必须为每个 PG_M2C 和 PG_C2M 信号与 3P3V 信号之间提供 10KΩ 的上拉电阻。

规则 5.79：当电源信号 VADJ, 3P3V, 12P0V 和 3P3AUX 不满足本规范时，母板必须驱动 PG_C2M 为低电平。当这些信号满足本规范时，母板必须驱动 PG_C2M 信号为高电平。

注意 5.20：在操作过程中当电源超出本规范时，子卡和母板应当采取适当的措施进行处理。

电源要求

本规范提供三个主要的电源：VADJ，3P3V 和 12P0V。设计时，应当使三者作为各自独立的线路。电压由母板提供给 IO 子卡。设计时，模块的主要电源可以由三者中的一个或多个共同提供。

电源	允许的电压范围	引脚数目	最大电流	允许的偏差
VADJ	0 – 3.3V	2	2	+/- 5%
VREF_A_M2C	0 – VADJ	1	1mA	+/- 2%
3P3VAUX	3.3V	1	20mA	+/- 5%
3P3V	3.3V	4	3	+/- 5%
12P0V	12V	2	1	+/- 3%

表. LPC 连接器的电源供应

FMC 连接器提供 VADJ 的目的在于最简化 FMC 子卡的电源管理，这样，模块上有限的空间就能充分用来实现 I/O 功能，并能将模块上电源模块产生的噪声最小化。由于有一系列 I/O 接口存在，很难找到一个无需转换就能满足模块上所有设备需求的电源。因此，可以从母板获取预处理的电源以及 IPMI 定义的电源，这一电源获取的灵活机制成为了简化系统设计的有力工具。

规则 5.85：IO 子卡必须使用三个电压源——VADJ, 3P3V, 12P0V 的适当组合以适应设计要求。

建议 5.8：要想使母板和 FMC 子卡获得最大程度的匹配，母板必须为每个信号提供规

定的最大电流。

规则 5.86：母板厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所能提供的电流。

规则 5.87：母板厂商必须在自己的产品信息中包含 VADJ 电源所能提供的电压值。

规则 5.88：模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C 和 VREF_B_M2C 电源所能提供的电流。

规则 5.89：模块厂商必须在自己的产品信息中包含 VADJ 电源所要求的电压值。

规则 5.90：模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C, VREF_B_M2C 电源所能提供的电压值。

规则 5.91：模块厂商必须在自己的产品信息中包含 VIO_B_M2C, VREF_A_M2C, VREF_B_M2C 电源所能提供的电流值。

规则 5.92：模块厂商必须在自己的产品信息中包含 12P0V, 3P3V, VADJ 和 3P3VAUX 电源所使用的电流值。

规则 5.93：子卡功率不得超过 10W。如果系统有能力消耗掉产生的功率的话，子卡允许多于 10W 的功率。

规则 5.94：子卡供应商应当在自己的产品信息中包含子卡的最大热耗散。

许可 5.7：母板可以提供小于本规范的电流,也支持低于 10W 的热耗散，这些都应在产品信息中清晰的标示。

规则 5.96：低引脚数连接器应当分配 2 个引脚给 VADJ 电源。

规则 5.97：总共应分配 4 个引脚给 3P3V 电源信号。

规则 5.98：总共应当分配 4 个引脚给 12P9V 电源信号。

注意 5.23：FMC 高速连接器引脚电流为 2.7A。不过，本规范会使用 1A 的降额因子。

建议 5.9：IO 子卡应当包含一个内部电源控制系统，在外部电源稳定之前，这个系统使子卡保持在复位状态。对于很多系统，这个保持时间为 200-500ms。

电源上电顺序

注意 5.24：母板可以在任意的上升时间供电，并提供不同电源之间的排序。

规则 5.99：当所有的电源都在允许范围内时，母板和子卡应当认为电源是稳定的。

规则 5.100：3P3V、12P0V 和 VADJ 电源在上升阶段必须单调上升。

3.3V 辅助电源

3P3VAUX - 供 IO 子卡使用的 3.3V 辅助电源。3P3VAUX 不作为模块的主电源，而是用来匹配系统的管理功能，而该功能即使在板上电源保护回路失效时也要求能够正常

运作。

规则 5.101：母板必须为本引脚上提供 3.3V 电压。母板可以使用其 3.3V 辅助电源或者母板的 3.3V 主电源为该引脚供电。

规则 5.102：3P3VAUX 电源在上升时必须单调。

注意 5.25：当其它电源不可用时，3P3VAUX 电源对于子卡应当可用。

注意 5.26：3P3VAUX 和 3P3V 不得共用子卡上的线路，以避免子卡关闭时电流回路发生故障。

IO 参考电压

本规范提供从 IO 子卡到母板的参考电压。本规范的目的在于为子卡提供一个方便的 IO 标准，这需要有参考电压。这些 IO 标准完整的规范已经超出了本文档的范围，需要更多信息的话，请参考适当的规范。

VREF_A_M2C – 参考电压，与 A 区数据引脚使用的信号标准相关。

规则 5.103：如果信号标准有要求的话，LAxx 以及 CLK0 信号必须使用 VREF_A_M2C 信号作为参考电压。

许可 5.8：如果 A 区的信号不需要参考电压的话，子卡 VREF_A_M2C 引脚可以不连接信号。

规则 5.105：母板必须将 VREF 引脚连接至相应设备，这些设备必须通过接口与 IO 子卡相连。

IO 区域的电源

规则 5.110：A 区中用户定义的信号必须使用 VADJ 电压作为 IO 电源。

规则 5.111：如果母板不能提供子卡所要求的 VADJ 信号，这时电压信号被认 为 是 超出允许范围，母板也必须驱动 PG 信号为低电平。

规则 5.112：母板应当从子卡上的非易失性存储设备上获得 VADJ 信号的所需值。

许可 5.10：VADJ 信号可以用作 A 区 IO 电源之外的其他目的。

要求的信号标准	VADJ	VREF_A_M2C
LVTTL	3.3	不适用
LVCMOS33	3.3	不适用
LVCMOS25	2.5	不适用
LVCMOS18	1.8	不适用
LVCMOS15	1.5	不适用
LVDS	2.5	不适用
LVPECL	2.5	不适用

规则 6.4：指定为 LAxx_y 和 HAxx_y 的 IO 信号由公用的 VADJ 电源驱动。

规则 6.6：模块通过非易失性 EPROM 确认它对于母板的 VADJ 电压要求。

规则 6.7：母板必须利用 VADJ 信号作为 FPGA 的电源信号，作为 LAxx_y 和 HAxx_y 的信号标准。

附录 C Appendix

详细参数 Specification

FPGA	
Type	Xilinx Artix 7（XC7A35T / XC7A50T）
Package	325pin CSG
Slices	
Memories	
Softcore	LatticeMico32(LM32)
I/O	4 GTX transceiver

Others	
Certification	
Power Supply	3.3V 3A （Through FMC connector）
Environmental Conditions	Temperature: 0ºC ~ +50ºC Humidity: 0% ~ 90% RH
Installation	FMC carrier board (ANSI/VITA57.1-2008)

包装 Package

CUTE-WR-A7 包装由以下构成：

- CUTE-WR-A7 板卡
- 单模光纤 （选配件，数目和长度需要在订购时声明）
- 若干 LC 接口的 SFP 模块，型号分别为：（选配件，数目和类型需要在订购时声明）
  - GE-LC-1490（紫红色）
  - GE-LC-1310（蓝色）

注：有关 SFP 兼容性的信息和使用方法，请咨询 support@synctechnology.cn。

The package of CUTE-WR-A7 includes:

- CUTE-WR-A7 mezzanine
- SM fibers （ optional, specify the length and quantity when ordering）
- SFP LC modules（ optional, specify the type and quantity when ordering）
  - GE-LC-1490（violet）
  - GE-LC-1310（blue）

Note：For SFP compatibility or special long-distance modules, please consult support@synctechnology.cn

环保 Environment Friendly



这个标志意味着当设备已经到达生命周期时，必须送到回收中心，与生活垃圾区分对待。包装箱，包装物中的塑料袋和其余可回收物，应按照地区回收规定进行回收。

千万不要将这些电子设备与生活垃圾一起丢掉，你可能会受到相应法规制裁。保护环境人人有责。

This symbol means that when the equipment has reached the end of its life cycle, it must be taken to a recycling center and processed separate from domestic waste.

The cardboard box, the plastic contained in the packaging, and the parts that make up this device can be recycled in accordance with regionally established regulations.

Never throw this electronic equipment out along with your household waste. You may be subject to penalties or sanctions under the law. Instead, ask for instructions from your municipal government on how to correctly dispose of it. Please be responsible and protect our environment.

保修 Warranty

CUTE-WR-A7 出厂时经过了完整的测试，并拥有一年的厂商保修。鉴于 CUTE-WR-A7 的安装环境不可控，由于安装问题导致的失效不予保修。这包括错用、错接、过热和超出 CUTE-WR-A7 设计范围的过载操作。

有关保修和更换，请联系：

信科太（北京）科技有限公司　Sync (Beijing) Technology Co., LTD

邮箱：info@synctechnology.cn ; support@synctechnology.cn

The CUTE-WR-A7 is fully tested and warranted against manufacturing defects for a period of one year. As the circumstances under which this CUTE-WR-A7 is installed cannot be controlled, failure of the CUTE-WR-A7 due to installation problems cannot be warranted. This includes misuse, miswiring, overheating, operation under loads beyond the design range of the CUTE-WR-A7.

For warranty or no warranty replacement please contact:

Sync (Beijing) Technology co., LTD

email：info@synctechnology.cn ; support@synctechnology.cn

安全警告 Safety

警告：　本板卡的设计标准电源输入范围是：3.3V，请使用符合规范的输入电源。

警告：　为了延长 CUTE-WR-A7 的寿命，建议在受控的环境中使用设备，符合附录中的环境要求。

警告：　本板卡使用时需要连接到 FMC 载板，保证可靠连接。

警告：　不得直接触摸板卡上的集成电路和元器件，防止静电破坏

Warning: The standard power source for this mezzanine is designed to work in the 3.3V.

Warning: To increase the lifetime of the CUTE-WR-A7, it is recommended to use in a controlled ambient environment and limit to the ambient condition stated in the Specification Appendix.

Warning: The mezzanine it supposed to be installed on a FMC carrier, with reliable connection to the carrier circuit.

Warning: Direct touch to the IC and component is forbidden that may cause ESD damage to the mezzanine.

FAQ FAQs

如果你遇到一些问题，请先查供应商的 FAQ 网页，看是否能从中找到答案（http://www.synctechnology.cn/detaile.aspx?id=172）。也可以进入 wiki 页面 https://ohwr.org/project/cute-wr-a7/wikis/home，查看你的问题是否为一个已知的 bug，是否已经有解决方案。还可以联系我司寻求技术支持。

email：info@synctechnology.cn; support@synctechnology.cn

If you are experiencing some issues please look first at the WRS FAQ wiki page if you can find an answer. You can also reach out the wiki to see if your issue is a known bug and if a solution was found:

https://ohwr.org/project/cute-wr-a7/wikis/home

You can also request Technical Support by contacting us.

email：info@synctechnology.cn; support@synctechnology.cn

联系我们 Contact US

信科太（北京）科技有限公司

北京市海淀区北清路

永丰产业园中区 7 号楼 243 室

http://www.synctechnology.cn

0086-13070165776

info@synctechnology.cn

support@synctechnology.cn

Sync (Beijing) Technology Co., LTD

243, Building 7, Middle Zone,

Yongfeng Industry Park

Beiqing Road, Haidian, Beijing

http://www.synctechnology.cn/

0086-13070165776

info@synctechnology.cn

support@synctechnology.cn

信科太 SyncTechnology

Your Partner In Time